

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-280615

(43)Date of publication of application : 02.10.2003

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 2002-233699

(71)Applicant : SHARP CORP

(22)Date of filing : 09.08.2002

(72)Inventor : OGAWA YOSHINORI
TANAKA SHIGEKI

(30)Priority

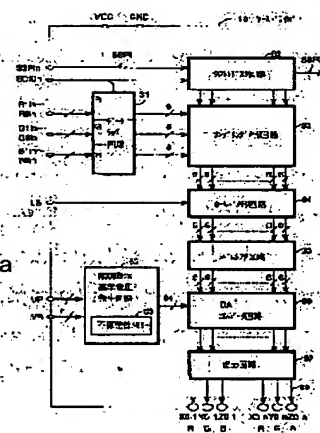
Priority number : 2002007565 Priority date : 16.01.2002 Priority country : JP

(54) GRAY SCALE DISPLAY REFERENCE VOLTAGE GENERATING CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To easily vary a γ correction characteristic in accordance with the characteristic of a liquid crystal display device by storing γ correction adjusting data in a nonvolatile memory of a gray scale display reference voltage generating circuit.

SOLUTION: The circuit generates a reference voltage for a gray scale display used in the digital/analog conversion of display data. The circuit is provided with a reference voltage generating section which generates reference voltages of a plurality of levels, a correction information storing section which stores quantity of adjustment for the reference voltages and an adjustment section which adjusts the reference voltages based upon the quantity of adjustment stored in the correction information storing section.



LEGAL STATUS

[Date of request for examination]

15.06.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The gradation display reference voltage generating circuit characterized by to have the reference voltage generation section which generates the reference voltage of two or more level, the amendment information-storage section which memorize the amount of the above-mentioned reference voltage of adjustments, and the controller which adjust the above-mentioned reference voltage based on the amount of adjustments memorized by the amendment information-storage section in the gradation display reference voltage generating circuit which generates the reference voltage for a gradation display used in case digital to analog of the indicative data is carried out.

[Claim 2] The gradation display reference voltage generating circuit according to claim 1 characterized by the above-mentioned amendment information storage section being constituted by the nonvolatile memory.

[Claim 3] The gradation display reference voltage generating circuit where said reference voltage generation section, the amendment information storage section, and a controller are characterized by being prepared independently for two or more color components of every in a gradation display reference voltage generating circuit according to claim 1 or 2.

[Claim 4] The liquid crystal display characterized by having the gradation display reference voltage generating circuit of any one publication of claim 1 thru/or claim 3.

[Claim 5] The reference voltage generation section which generates two or more reference voltages for a gradation display used in case digital to analog of the indicative data is carried out, The amendment information-storage section which memorizes one kind or two or more kinds of amounts of adjustments about said reference voltage, The controller which adjusts said generated reference voltage based on the amount of adjustments memorized by the amendment information storage section, The liquid crystal display characterized by having the control section which controls actuation of said controller, reading the amount of adjustments of the class from which a control section differs for every scan line of the predetermined number in one frame of the display screen from said amendment information storage section, and giving said controller.

[Claim 6] Said controller is a liquid crystal display according to claim 5 characterized by adjusting reference voltage based on the amount of adjustments given synchronizing with the scan signal for displaying the display screen.

[Claim 7] The liquid crystal display according to claim 5 or 6 with which said amendment information storage section consists of rewritable nonvolatile memory, and said control section is characterized by rewriting the memorized amount of adjustments.

[Claim 8] The 1st storage section said amendment information storage section remembers the data for the 1st adjustment in the case of impressing a straight polarity electrical potential difference to a pixel to be, The 1st electrical-potential-difference generating section in which it becomes from the 2nd storage section which memorizes the data for the 2nd adjustment in the case of impressing a negative polarity electrical potential difference to a pixel, and said reference voltage generation section generates the reference voltage for a straight polarity gradation display, The 1st controller which adjusts the reference voltage with which it consisted of the 2nd electrical-potential-difference generating section

which generates the reference voltage for a negative polarity gradation display, and said controller was generated by the 1st electrical-potential-difference generating section based on the data for the 1st adjustment memorized by the 1st storage section, It consists of the 2nd controller which adjusts the reference voltage generated by the 2nd electrical-potential-difference generating section based on the data for the 2nd adjustment memorized by the 2nd storage section. Based on the polarity-reversals signal given from said control section, it has further the selection section which chooses one of the reference voltages of the reference voltage after the adjustment outputted from said 1st controller and 2nd controller. The liquid crystal display according to claim 5 characterized by carrying out gradation amendment for every scan line based on the selected reference voltage.

[Claim 9] The liquid crystal display according to claim 8 characterized by said 1st storage section and 2nd storage section being constituted by the nonvolatile memory in which one rewriting is possible.

[Translation done.]

*** NOTICES ***
JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001] [Field of the Invention] This invention relates to the gradation display reference voltage generating circuit used for a liquid crystal display etc., and the liquid crystal display using it.

[0002] [Description of the Prior Art] A gradation display reference voltage generating circuit is a circuit which makes the intermediate voltage of two electrical potential differences. For example, intermediate voltage is made from the liquid crystal mechanical component in the liquid crystal display of an active-matrix method using resistance division. And the resistance ratio called gamma amendment is given to resistance for resistance division, the optical property of a liquid crystal ingredient is amended according to the ratio of this resistance ratio, and it is made to realize a more natural gradation display.

[0003] The configuration of the liquid crystal display which equipped below with the above-mentioned gradation display reference voltage generating circuit, the configuration of the liquid crystal panel of the TFT (thin film transistor) method in the liquid crystal display, its liquid crystal drive wave, and the configuration of the source driver are explained.

[0004] The block configuration of the liquid crystal display of the TFT method which is the example of representation of an active-matrix method is shown in drawing 11. This liquid crystal display is divided into the liquid crystal display section and the liquid crystal drive circuit (liquid crystal mechanical component) which drives it. The above-mentioned liquid crystal display section has the liquid crystal panel 1 of a TFT method. And in the liquid crystal panel 1, the liquid crystal display component (not shown) and the counterelectrode (common electrode) 2 explained in full detail behind are formed.

[0005] On the other hand, the source driver 3 and gate driver 4 which change by IC (integrated circuit),

the controller 5, and the liquid crystal drive power source 6 are carried in the above-mentioned liquid crystal drive circuit. The source driver 3 and a gate driver 4 generally Previous IC chip was carried on the film with wiring. Mount TCP (Tape Carrier Package) on the ITO (Indium Tin Oxide; indium tin oxide film) terminal of a liquid crystal panel, and connect, or It consists of approaches of carrying out thermocompression bonding of the previous IC chip to the ITO terminal of a liquid crystal panel, and mounting and connecting it to it directly, through ACF (Anisotropic Conductive Film ; anisotropy electric conduction film). And while a controller 5 inputs indicative-data D and a control signal S1 into the source driver 3, it inputs Vertical Synchronizing signal S2 into a gate driver 4. Furthermore, a Horizontal Synchronizing signal is inputted into the source driver 3 and a gate driver 4.

[0006] In the above-mentioned configuration, the indicative data inputted from the outside is inputted into the source driver 3 through the above-mentioned controller 5 as indicative-data D which is a digital signal. If it does so, the source driver 3 carries out time sharing of the inputted indicative-data D, and it will be latched to the 1st source driver - n-th source driver, and it will carry out D/A conversion after that synchronizing with the above-mentioned Horizontal Synchronizing signal inputted from a controller.

5. And a source signal line (not shown) is minded and the analog voltage for a gradation display (henceforth a gradation display electrical potential difference) which carries out D/A conversion of the indicative-data D by which time sharing was carried out, and changes is outputted to the above-mentioned corresponding liquid crystal display component in a liquid crystal panel 1.

[0007] The configuration of the above-mentioned liquid crystal panel 1 is shown in drawing 12. TFT13 which carries out on-off control of the electrical-potential-difference impression to the pixel electrode 11, the pixel capacity 12, and the pixel electrode 11, the source signal line 14, gate signal Rhine 15, and a counterelectrode 16 (equivalent to the counterelectrode 2 in drawing 11) are formed in the liquid crystal panel 1. Here, the above-mentioned liquid crystal display component A for 1 pixel is constituted by the pixel electrode 11, the pixel capacity 12, and TFT13.

[0008] The above-mentioned gradation display electrical potential difference according to the brightness of the pixel for a display is given to the above-mentioned source signal line 14 from the source driver 3 as seen in drawing 11. On the other hand, a scan signal which carries out sequential ON of TFT13 located in a signal line in the direction of a train from a gate driver 4 is given to gate signal Rhine 15. And the gradation display electrical potential difference of the source signal line 14 is impressed to the pixel electrode 11 connected to the drain concerned of TFT13 through TFT13 of an ON state, and it is accumulated in the pixel capacity 12 between the above-mentioned counterelectrodes 16. In this way, the light transmittance of liquid crystal changes according to the above-mentioned gradation display electrical potential difference, and a pixel display is performed.

[0009] An example of a liquid crystal drive wave is shown in drawing 13 and drawing 14. In drawing 13 and drawing 14, 21 and 25 are the drive waves of the source driver 3, and 22 and 26 are the drive waves of a gate driver 4. Moreover, 23 and 27 are the potentials of a counterelectrode 16 and 24 and 28 are the voltage waveforms of the pixel electrode 11. Here, the electrical potential difference impressed to a liquid crystal ingredient is the potential difference of the pixel electrode 11 and a counterelectrode 16, and the slash shows it all over drawing.

[0010] for example, the case of drawing 13 -- the drive wave of the above-mentioned gate driver 4 -- the level of 22 -- the period of "H" -- TFT13 -- turning on -- the drive wave of the source driver 3 -- the electrical potential difference of the difference of 21 and the potential 23 of a counterelectrode 16 is impressed to the pixel electrode 11. then, the drive wave of a gate driver 4 -- the level of 22 will be set to "L" and TFT13 will be in an OFF state. In that case, since the pixel capacity 12 exists in a pixel, an above-mentioned electrical potential difference is maintained.

[0011] The same is said of the case of drawing 14. However, drawing 13 and drawing 14 show the case where the electrical potential differences impressed to a liquid crystal ingredient differ, and, as for the case of drawing 13, applied voltage is high compared with the case of drawing 14. Thus, by changing the electrical potential difference impressed to a liquid crystal ingredient as analog voltage, the light

transmittance of liquid crystal is changed in analog, and a multi-gradation display is realized. In addition, the number of gradation which can be displayed is determined by the number of the alternative of the analog voltage impressed to a liquid crystal ingredient.

[0012] Drawing 15 shows an example of the block diagram of the n-th source driver which constitutes the source driver 3 in drawing 11. Indicative-data D of the inputted digital signal has the indicative data (DR, DG, DB) of R (red), G (green), and B (blue). And once this indicative-data D is latched to the input latch circuit 31, it is memorized by the sampling memory 33 by time sharing to compensate for actuation of the shift register 32 shifted from a controller 5 with a start pulse SP and Clock CK. Then, based on the Horizontal Synchronizing signal (not shown) from a controller 5, batch transfer is carried out to the hold memory 34. In addition, S is a cascade output.

[0013] The gradation display reference voltage generating circuit 39 generates the reference voltage of each level based on the electrical potential difference VR supplied from an external reference electrical-potential-difference generating circuit (equivalent to the liquid crystal drive power source 6 in drawing 11). The data of the hold memory 34 are sent out to the D/A conversion circuit (digital analog conversion circuit) 36 through the level-shifter circuit 35, and are changed into analog voltage based on the reference voltage of each level from the gradation display reference voltage generating circuit 39.

And it is outputted to the source signal line 14 of each liquid crystal display component A by the output circuit 37 as the above-mentioned gradation display electrical potential difference from the liquid crystal driver voltage output terminal 38. That is, the number of level of the above-mentioned reference voltage turns into the number of gradation in which the above-mentioned display is possible.

[0014] The configuration of the gradation display reference voltage generating circuit 39 which generates two or more above reference voltages in drawing 16 and generates intermediate voltage to it is shown. In addition, he is trying for the gradation display reference voltage generating circuit 39 in drawing 16 to generate 64-kinds of reference voltages.

[0015] Nine halftone volt input terminals by which this gradation display reference voltage generating circuit 39 is expressed with V0, V8, V16, V24, V32, V40, V48, V56 and V64. It consists of a total of 64 resistance (not shown) connected to eight serials at a time among the both ends of the resistance elements R0-R7 which gave the resistance ratio for gamma amendment, and each resistance elements the ratio R0-R7. Thus, he builds the resistance ratio called gamma amendment in the source driver 3 and is trying to give a polygonal-line property to the liquid crystal drive output voltage for changing into the above-mentioned gradation display electrical potential difference. Therefore, the ratio of the above-mentioned resistance ratio amends the optical property of a liquid crystal ingredient. Things can perform the natural gradation display doubled with the optical property of a liquid crystal ingredient. In addition, the example of a property of the liquid crystal drive output voltage in the conventional gradation display reference voltage generating circuit 39 is shown in drawing 17.

[0016]

[Problem(s) to be Solved by the Invention] However, there are the following problems in the above-mentioned conventional gradation display reference voltage generating circuit. Namely, optimal gamma amendment property (polygonal-line property of the liquid crystal drive output voltage shown in drawing 17) changes with numbers of pixels of the class of liquid crystal ingredient, or a liquid crystal panel, and differ for every liquid crystal module. And the resistance split ratio of the gradation display reference voltage generating circuit 39 built in the source driver 3 is determined in the design stage of the source driver 3. Therefore, in changing gamma amendment property according to the number of pixels of the class of liquid crystal ingredient of a liquid crystal module, or a liquid crystal panel to apply, there is a problem referred to as having to make and change the source driver 3 each time.

[0017] In addition, a reference voltage adjustment means to adjust two or more halftone electrical potential differences supplied to the halftone volt input terminals V0-V64 from the above-mentioned external reference electrical-potential-difference generating circuit is established, and the method of adjusting the halftone electrical potential difference supplied to each halftone volt input terminals V0-

V64 by this reference voltage adjustment means is also considered. However, by establishing the above-mentioned reference voltage adjustment means, the number of terminals increases, or a circuit scale becomes large, and there is a problem that a manufacturing cost increases.

[0018] Then, the purpose of this invention is to offer the gradation display reference voltage generating circuit where a user can change gamma amendment property into arbitration according to the property of a liquid crystal ingredient or a liquid crystal panel, and the liquid crystal display using it, without making a manufacturing cost increase.

[0019] Moreover, a liquid crystal display (LCD) is expanding the need according to the features, such as compactability and low-power nature, and product development is furthered also functionally towards the formation of big-screen-izing, highly-minute-izing, and many gradation. However, the angle of visibility of LCD is narrow to CRT etc., and the up-and-down angle of visibility has been a technical problem narrowly especially. For example, LCD of Nor Marie White's transparency mold TN (TSUISUTO pneumatic) method currently used for current and OA is changing the electrical potential difference impressed to the liquid crystal inserted into two polarizing plates arranged so that a polarization shaft's might intersect perpendicularly, elliptically polarized light of the light by which changed the orientation condition of liquid crystal and the linearly polarized light was carried out with the polarizing plate by the side of incidence is carried out, and brightness is controlled by making only the light of the polarization shaft orientations by the side of outgoing radiation penetrate.

[0020] The orientation of the liquid crystal molecule is made to carry out in the direction at LCD for OA by performing rubbing processing to the orientation film towards [as the glass substrate by the side of a thin film transistor (TFT) and the glass substrate by the side of a color filter (CF) show to drawing 18 (a), respectively]. If an electrical potential difference is not impressed, in the condition of having become width, liquid crystal will be twisted and will carry out orientation, but if an electrical potential difference is impressed, orientation of the liquid crystal will be carried out to a lengthwise direction. Since the direction of a major axis of a liquid crystal molecule differs in a refractive index from the direction of a minor axis; in the condition of having stood, it becomes isotropic to there being an anisotropy of a refractive index in respect of propagation of light after liquid crystal has lain down. Therefore, rotations of polarization of light differ with liquid crystal applied voltage. The rotation of this polarization is prescribed by the product (retardation) of the refractive-index anisotropy (refractive index of the direction of a refractive-index minor axis of the direction of a major axis) of a liquid crystal molecule, and the gap of a liquid crystal cell.

[0021] If rubbing processing is respectively performed for a glass substrate in the direction of drawing 18 (a) and orientation of the liquid crystal molecule is carried out, as shown in drawing 18 (b), since a liquid crystal molecule is twisted, the anisotropy of retardation will appear. Although the angle of visibility of a longitudinal direction is also comparatively large because of comparatively symmetrical orientation, since the vertical direction has the remarkable asymmetry of the orientation of a liquid crystal molecule, an angle of visibility becomes narrow. A liquid crystal molecule is visible to the condition of having become width, and in view of a top, a liquid crystal molecule can stand, in view of the bottom. Consequently, a black level float becomes remarkable from a top-view field, and a gradation inversion poses a problem from a bottom visual field. Especially this poses a big problem in the full color article by which halftone is used abundantly.

[0022] thus, a wide-field-of-view cornification of LCD with the conventional technique sake -- for example, although the thing of the structure to which form two or more capacity between the small pixel dots which the subpixel which is two or more small pixel dots was made to divide 1 pixel, and were divided further, and a different electrical potential difference is made to impress is generally known. Since it is necessary to carry out multiple-times creation of the pixel in order to divide a pixel dot in this approach and to make capacity further, a liquid crystal panel production process compares with the usual thing, becomes complicated, and brings about low Shimo of the yield, as a result increase of cost as a result. The purpose of this invention is offering the liquid crystal display which aimed at expansion

of an angle of visibility electrically, without complicating a production process in addition to the above-mentioned purpose.

[0023]

[Means for Solving the Problem] The gradation display reference voltage generating circuit which carries out [that this invention was equipped with the reference voltage generation section which generates the reference voltage of two or more level, the amendment information-storage section which memorize the amount of the above-mentioned reference voltage of adjustments, and the controller which adjust the above-mentioned reference voltage based on the amount of adjustments memorized by the amendment information-storage section in the gradation display reference voltage generating circuit which generates the reference voltage for a gradation display which uses in case digital to analog of the indicative data is carried out, and] as the description provides. Since reference voltage can be changed only by rewriting the storage information on the amendment information storage section according to this configuration, according to the property of a liquid crystal ingredient or a liquid crystal display, it enables a user to adjust reference voltage easily.

[0024] Moreover, as for the above-mentioned amendment information storage section, being constituted by the nonvolatile memory is desirable. According to this, the last amendment condition which the user adjusted is applicable to the next display as it is. Furthermore, you may make it prepare independently the reference voltage generation section, the amendment information storage section, and the controller, each of the above mentioned gradation display reference voltage generating circuit for every color of red, green, and blue for two or more color components of every. According to this, since reference voltage can be adjusted independently for every color, the display grace of a display panel is finely controllable. [0025] Moreover, since the thing of the same configuration can be used for the gradation display on the same reference voltage generating circuit of this invention also to the liquid crystal display with which properties differ, it can attain communalization of the components of a liquid crystal display, and can lower a manufacturing cost.

[0026] Moreover, the reference voltage generation section which generates two or more reference voltages for a gradation display used in case this invention carries out digital to analog of the indicative data. The amendment information storage section which memorizes one kind or two or more kinds of amounts of adjustments about said reference voltage. The controller which adjusts said generated reference voltage based on the amount of adjustments memorized by the amendment information storage section. It has the control section which controls actuation of said controller, and the liquid crystal display characterized by for a control section reading the amount of adjustments of a different class from said amendment information storage section for every scan line of the predetermined number in one frame of the display screen, and giving said controller is offered. Moreover, a controller may be made to adjust reference voltage based on the amount of adjustments given synchronizing with the scan signal for displaying the display screen. According to this, since reference voltage can be adjusted for every scan line of a predetermined number, an angle of visibility can be adjusted more finely.

[0027] A scan line means the so-called gate signal Rhine here. Moreover, in every scan line of a predetermined number, every scan line is sufficient and every two or more scan lines of arbitration are sufficient again. You may make it a control section rewrite the amount of adjustments memorized by the amendment information storage section using a controller LSI like MPU (micro processing unit). By enabling this rewriting, it becomes it is more fine and possible to adjust so that an angle of visibility may be extended.

[0028] Furthermore, the 1st storage section which memorizes the data for the 1st adjustment in case, as for this invention, said amendment information storage section impresses a straight polarity electrical potential difference to a pixel, The 1st electrical-potential-difference generating section in which it becomes from the 2nd storage section which memorizes the data for the 2nd adjustment in the case of impressing a negative polarity electrical potential difference to a pixel, and said reference voltage generation section generates the reference voltage for a straight polarity gradation display, The 1st

controller which adjusts the reference voltage with which it consisted of the 2nd electrical-potential-difference generating section which generates the reference voltage for a negative polarity gradation display, and said controller was generated by the 1st electrical-potential-difference generating section based on the data for the 1st adjustment memorized by the 1st storage section. It consists of the 2nd controller which adjusts the reference voltage generated by the 2nd electrical-potential-difference generating section based on the data for the 2nd adjustment memorized by the 2nd storage section. Based on the polarity-reversals signal given from said control section, it has further the selection section which chooses one of the reference voltages of the reference voltage after the adjustment outputted from said 1st controller and 2nd controller. The liquid crystal display characterized by carrying out gradation amendment for every scan line based on the selected reference voltage is offered. According to this, suitable amendment of the color change by vision can be carried out for every scan line which impresses the electrical potential difference of straight polarity and negative polarity.

[0029]

[Embodiment of the Invention] Hereafter, based on the gestalt of operation shown in a drawing, this invention is explained in full detail. In addition, this invention is not limited by this.

The configuration block Fig. of the 1st example of the source driver which equipped <1st example> drawing 1 with the gradation display reference voltage generating circuit of this invention is shown. Moreover, the outline block diagram of one example of the liquid crystal display which used this source driver 101 for drawing 2 is shown. In drawing 2, a liquid crystal display consists of the liquid crystal display section 103 and a liquid crystal mechanical component 104. Moreover, the liquid crystal mechanical component 104 consists of a source driver 101, a gate driver 102, a controller 105, etc. [0030] A controller 105 inputs a Horizontal Synchronizing signal into the source driver 101 and a gate driver 102 while it inputs an indicative data and a control signal into the source driver 101 as usual and also inputs a Vertical Synchronizing signal into a gate driver 102. And time sharing of the inputted indicative data is carried out; it is given to each source driver, and D/A conversion is carried out synchronizing with a Horizontal Synchronizing signal and it is outputted to a liquid crystal display component as a predetermined gradation display electrical potential difference.

[0031] As shown in drawing 1, the source driver 101 consists of a shift register circuit 32, the data latch circuit 31, the sampling memory circuit 33, the hold memory circuit 34, the level-shifter circuit 35, a DA converter circuit 36 and an output circuit 37, and a gradation display reference voltage generating circuit 52. 1st source driver [of the first rank:] S(1) is used for below, and actuation of this source driver 101 is explained to it.

[0032] A shift register circuit 32 is a circuit to which the start pulse input signal SSPI is shifted namely, transmitted. Signal SSPI is outputted from the terminal SSPI of the controller 105 which is not illustrated, is inputted into the input terminal SSPin of the source driver 101, and are the Horizontal Synchronizing signal of data signal R-G-B for a display, and a signal with which the synchronization was taken. This start pulse input signal SSPI is shifted by the clock signal SCK which is outputted from the terminal SCK of a controller 105, and is inputted into the input terminal SCKin of the source driver 1. In eight-piece usage, the sequential transfer of the start pulse input signal SSPI shifted in this shift register circuit 32 is carried out even in the shift register circuit 32 of the source driver 1 in 8th source driver [the 8th step of] S (8) of drawing 2 .

[0033] On the other hand, data signal R-G-B for a display of 6 bits of each which is outputted from the terminal R1 of a controller 105 R6 and a terminal G1 G6 and a terminal B1 - B6 A synchronization is taken in a clock signal / standup of SCK (reversal signal of a clock signal SCK). After being inputted into a serial, respectively and being temporarily latched to input terminal R1 inch-R6inch, input terminal G1 inch-Gin6 and input terminal B1inch - B6in of the source driver 1 by the data latch circuit 31, it is sent to the sampling memory circuit 33.

[0034] The sampling memory circuit 33 sampled the data signal for a display (a total of 18 bits of 6 bit each of R-G-B) sent by time sharing with the output signal of each stage of the above-mentioned shift

register circuit 32, and it has memorized it, respectively until the latch signal LS outputted to the hold memory circuit 34 from the controller 105 is inputted into the terminal LS of the source driver 1.

[0035] And in the hold memory circuit 34, the data signal for a display inputted from the sampling memory circuit 33 is held until it latches by the latch signal LS and the following data signal for a display for 1 level period is inputted into the hold memory circuit 34 from the sampling memory circuit 33, when inputted into the data signal for a display of data signal R-G-B for a display for 1 level period, and it is outputted to the level-shifter circuit 35 after that.

[0036] To red, green, and the liquid crystal driver voltage output terminal for blue, the gradation display reference voltage generating circuit 52 creates 64 kinds of reference voltages, and generates the intermediate voltage for a gradation display so that it may mention later. VR inputted into this circuit 52 is an electrical potential difference supplied from an external liquid crystal drive power source, and UP is digital data given by user programs, such as an external control device.

[0037] The gradation display reference voltage generating circuit 52 of this invention is equipped with the nonvolatile memory 53 the adjustment data for gamma amendment are remembered to be.

[0038] The DA converter circuit 36 is inputted from the hold memory circuit 34, and based on 64 kinds of intermediate voltage, the data signal for a display of 6 bits of each RGB changed in the level-shifter

circuit 35 (digital) is changed into an analog signal, and it outputs it to an output circuit 37. An output circuit 37 amplifies the analog signal of 64 level, and outputs it to a liquid crystal panel as a gradation display electrical potential difference from $Xo-1-Xo-128$, $Yo-1-Yo-128$, and $Zo-1-Zo-128$ of an output terminal 38. The above-mentioned output terminal $Xo-1-Xo-128$, $Yo-1-Yo-128$, and $Zo-1-Zo-128$ correspond to data signal R-G-B for a display, respectively, and Xo , Yo , and each Zo consist of 128 terminals. Moreover, Terminal VCC and Terminal GND of the source driver 101 are a terminal for a current supply connected with the terminals VCC and GND of a controller circuit and supply voltage and ground potential are supplied, respectively.

[0039] The configuration block Fig. of the gradation display reference voltage generating circuit 52 of this invention is shown in drawing 3. Although the gradation display reference voltage generating circuit 52 in the gestalt of this operation shows what creates 64 kinds of reference voltages and generates intermediate voltages like the case of the conventional gradation display reference voltage generating circuit 39 shown in drawing 16 it is not restricted to this.

[0040] The gradation display reference voltage generating circuit 52 in the gestalt of this operation. Two volt input terminals of the lowest volt input terminal V0 and the top volt input terminal V64, Eight resistance elements R0-R7 which have the resistance ratio for performing gamma amendment used as criteria, gamma amendment equalization circuit 54 which tunes an electrical potential difference for each reference voltage after gamma amendment obtained by these resistance elements R0-R7 finely up and down in the fixed range. In case gamma amendment property is finely tuned for this gamma amendment equalization circuit 54 by Program UP etc. to arbitration according to the property of a liquid crystal ingredient or a liquid crystal panel, it has the nonvolatile memory 53 for storing amendment information. In this example, a resistance element (R0-R7) is equivalent to the reference voltage generation section, a nonvolatile memory 53 is equivalent to the amendment information storage section, and gamma amendment equalization circuit 54 is equivalent to a controller.

[0041] Furthermore, it has a total of 64 resistance (not shown) connected to eight serials at a time between the output terminal of gamma amendment equalization circuit 54, and the top volt input terminal V64 between the output terminals of the ** gamma amendment equalization circuit 54 between the lowest volt input terminal V0 and the output terminal of gamma amendment equalization circuit 54.

[0042] Since it has the above-mentioned configuration, it is not necessary to form nine halftone volt input terminals V0-V64, and the above-mentioned intermediate voltage can be generated and adjusted in the gradation display reference voltage generating circuit 52 concerned like the conventional gradation display reference voltage generating circuit 39 shown in drawing 16.

[0043] Drawing 4 is the outline block diagram showing the configuration of the above-mentioned gamma

amendment equalization circuit 54. gamma amendment equalization circuit 54 consists of one resistance element R, two constant current sources 44 and 45, and buffer amplifier 46 for generating a voltage drop. And output voltage is adjusted when only a fixed electrical potential difference shifts the electrical potential difference inputted into the resistance element R using the voltage drop by passing a current up and down. gamma amendment equalization circuit 54 which has such a configuration operates as follows.

[0044] That is, the electrical potential difference V_{ref} used as criteria is supplied to the input terminal 47 of the above-mentioned gamma amendment equalization circuit 54. And in obtaining output voltage higher than reference voltage V_{ref} or low output voltage, the current which flows to a resistance element R according to constant current sources 44 and 45 is changed, and it outputs the electrical potential difference V_{out} from which only the part of the voltage drop in a resistance element R shifted the inputted electrical potential difference to a top or the bottom from an output terminal 48 using the voltage drop by the resistance element R.

[0045] That is, in obtaining the output voltage V_{out} lower than reference voltage V_{ref} in obtaining the output voltage V_{out} higher than the above-mentioned reference voltage V_{ref} so that it may become $V_{out} = V_{ref} + i \cdot R$ and, gamma amendment equalization circuit 54 adjusts an electrical potential difference so that it may become $V_{out} = V_{ref} - i \cdot R$.

[0046] Drawing 5 shows the condition that the current which flows a resistance element R by actuation of constant current sources 44 and 45 changed, when obtaining the output voltage V_{out} higher than the above-mentioned reference voltage V_{ref} (drawing 5 (a)), and when obtaining the output voltage V_{out} lower than reference voltage V_{ref} (drawing 5 (b)). In this case, as shown in drawing 5 (a), the current i of the other positive sense flows from a constant current source 45 to a constant current source 44 at a resistance element R by grounding the constant current source 44 which is in an input terminal 47 side from a resistance element R, and connecting the constant current source 45 in an output terminal 48 side to a power source. Consequently, the output voltage V_{out} from the output terminal 48 when reference voltage V_{ref} is inputted serves as $V_{out} = V_{ref} + i \cdot R$ only with the part of the voltage drop in a resistance element R higher than reference voltage V_{ref} from an input terminal 47.

[0047] On the other hand, as shown in drawing 5 (b), the current i of the other negative sense flows from a constant current source 44 to a constant current source 45 at a resistance element R by connecting the above-mentioned constant current source 44 to a power source and grounding a constant current source 45. Consequently, the output voltage V_{out} from the output terminal 48 when reference voltage V_{ref} is inputted serves as $V_{out} = V_{ref} - i \cdot R$ only with the part of the voltage drop in a resistance element R lower than reference voltage V_{ref} from an input terminal 47.

[0048] And gamma correction voltage obtained by resistance elements R_0 – R_7 is finely tuned by enabling the switch of a current value to two or more values, still enabling a switch of touch-down and connection with a power source about each constant current sources 44 and 45 in each above-mentioned gamma amendment equalization circuit 54, and controlling a switch of each above based on the data for adjustment memorized by the nonvolatile memory 53. In this way, further, 8 ***s of the electrical potential differences between each reference voltage tuned finely are carried out by eight of 64 above-mentioned resistance, and they are sent out to the D/A conversion circuit 36.

[0049] Drawing 6 shows the circuitry of the constant current source section of gamma amendment equalization circuit 54 which realizes a switch of the current value about each above-mentioned constant current sources 44 and 45, and a connection switch of touch-down/power source. This constant current source section has five constant current sources i which generate current $2(n-1) \cdot i$ by which weighting was carried out by $2(n-1)$ by making n into a positive integer, and $2i$, $4i$, $8i$ and $16i$ while connecting with a power source. And each constant current source $2(n-1) \cdot i$ is connected to the end and output terminal 48 of a resistance element R through the switch $+2(n-1)$ switch on with the control signal of $+2(n-1)$. Furthermore, it connects with the other end and the input terminal 47 of a resistance element R through the switch $-2(n-1)$ switch on with the control signal of $-2(n-1)$.

[0050] Similarly, while being grounded, it has five constant current sources i which generate current $2(n-1)i$ by which weighting was carried out by the above $2(n-1)$, and $2i$, $4i$, $8i$ and $16i$. And each constant current source $2(n-1)i$ is connected to the above-mentioned other end and the input terminal 47 of a resistance element R through the switch $+2(n-1)$ switch on with the control signal of $+2(n-1)$.

Furthermore, it connects with the resistance element R top Norikazu edge and the output terminal 48 through the switch $-2(n-1)$ switch on with the control signal of $-2(n-1)$.

[0051] That is, constant current source $2(n-1)i$ connected to the input terminal 47 through the above-mentioned switch $+2(n-1)$ or the switch $-2(n-1)$ functions as a constant current source 44 in drawing 5. Constant current source $2(n-1)i$ connected to the output terminal 48 through the switch $+2(n-1)$ or the switch $-2(n-1)$ functions as a constant current source 45 in drawing 5. And based on the data for adjustment which are multi-bit digital data of the binary number with a sign by the two's complement expression memorized by the nonvolatile memory 53, a switch of the current value about constant current sources 44 and 45 and a connection switch of a power source/touch-down are realized by controlling ON/OFF of each switch $+2(n-1)$ and a switch $-2(n-1)$.

[0052] the part of a voltage drop which the value and direction of a current which flow the above-mentioned resistance element R by carrying out like this can be changed, and flows to a resistance element R to input voltage V_{in} -- a top -- or the electrical potential difference V_{out} shifted to two or more steps can be outputted downward. Hereafter, an example is given and explained.

[0053] The following explanation is given noting that the above-mentioned data for adjustment are 6 bit data. The adjustment based on the data for adjustment expressed with such 6 bits makes it possible to perform adjustment to gamma correction value in 64 steps of -32 to $+31$.

[0054] In drawing 6, the above-mentioned constant current source i and each of $2i$, $4i$, $8i$ and $16i$ generate the current value i by which weighting was carried out by $2(n-1)$, and $2i$, $4i$, $8i$ and $16i$. Moreover, each above-mentioned switch $+2(n-1)$ and a switch $-2(n-1)$ are switched on or turned off based on the adjustment data of gamma amendment information stored in the nonvolatile memory 53. Hereafter, the actuation of gamma amendment equalization circuit 54 based on the 6-bit data for adjustment is explained.

[0055] As the 1st case, the case where the above-mentioned data for adjustment are " $+1$: (000001)" is described. In this case, only two switches $+20$ turn on and all other switches are turned off. This condition is the same as drawing 5(a). That is, the current I_{total} which flows to a resistance element R is the same as a constant current source i , and the sense of a current is forward [above-mentioned]. Therefore, output voltage V_{out} rises by the voltage drop in a resistance element R rather than the inputted reference voltage V_{in} , and the output voltage of $V_{out} = V_{in} + ixR$ is obtained. This is an electrical potential difference only with the high (ixR) input-reference electrical potential difference V_{in} .

[0056] Moreover, the case where the above-mentioned adjustment data are " -9 : (101001)" is explained as other cases. In this case, a total of four switches of two switches -23 and two switches -20 turn on, and all other switches are turned off. This condition is the same as drawing 5(b). That is, the current I_{total} which flows to a resistance element R is set to $9i$ which is the sum of the current of a constant current source i and constant current source $8i$, and the sense of a current is negative [above-mentioned]. Therefore, output voltage V_{out} descends by the voltage drop in a resistance element R rather than the inputted reference voltage V_{in} , and the output voltage of $V_{out} = V_{in} - 9ixR$ is obtained. This is an electrical potential difference only with 9 low times of the input-reference electrical potential difference V_{in} (ixR).

[0057] In the case of other data for adjustment, it applies correspondingly at above-mentioned actuation, and voltage adjustment can be performed to 64 steps within the limits of -32 to $+31$ on the electrical potential difference per step (ixR) focusing on the input-reference electrical potential difference V_{in} by turning on or turning off each switch $+2(n-1)$ and $-2(n-1)$.

[0058] That is, the weight (scale factor) $2(n-1)$ of the current value passed to the bit number n and resistance element R can be matched through a switch $+2(n-1)$ and $-2(n-1)$ by using the multi-bit

digital data of the binary number with a sign by two's complement expression as the above-mentioned data for adjustment. Therefore, the amount of adjustments of the scale factor according to the adjustment data of gamma amendment information memorized by the nonvolatile memory 53 can be obtained. That is, the amount of adjustments of the above-mentioned reference value can be easily specified with adjustment data.

[0059] Thus, by responding to the adjustment data of gamma amendment information memorized by the above-mentioned nonvolatile memory 53, and turning on / turning off a switch +2 (n-1) and -2 (n-1) By being able to output the electrical potential difference which performed adjustment based on the data for adjustment to input voltage, and applying this adjustment to gamma correction value based on resistance elements R0-R7 As shown in drawing 7 , the property of liquid crystal drive output voltage can be changed up and down based on the above-mentioned data for adjustment focusing on the correction value based on resistance elements R0-R7.

[0060] Next, the information memorized by the nonvolatile memory 53 is explained. One example of the adjustment data for gamma amendment memorized by drawing 8 at the nonvolatile memory 53 of this invention is shown. The information memorized consists of the storing address, a gradation indicative data 220, and adjustment data. The storing address of drawing 8 is the address of a nonvolatile memory 53, and this means output data. The gradation indicative data 220 is a gradation indicative data after the gamma amendment outputted to gamma amendment equalization circuit 54. Adjustment data are the set points to move over a certain gradation indicative data and are rewritten by the user program included in the external control unit.

[0061] One example of gamma amendment property 210 determined as drawing 9 in the design stage of the resistance split ratio of the gradation reference voltage generating circuit 52 is shown: Here, an axis of ordinate is the storing address of nonvolatile memory 53, and the axis of abscissa shows the gradation indicative data. The storing address of an axis of ordinate supports the output data outputted from a nonvolatile memory 53. For example, output data are 23H (hexadecimal) and the gradation indicative data of gamma amendment property 210 of K points of drawing 9 is 10H (hexadecimal). Here, the case where the level of these output data is amended from 23H to 25H is considered.

[0062] First, as shown in drawings 8, data 1 (binary number: 000001) is beforehand stored in storing address 25H of the nonvolatile memory 53 corresponding to the output data after amendment as adjustment data. Similarly, adjustment data to amend are stored in each of the address (from 00H to 3FH(s)) corresponding to all the combination of the bit string of 6-bit digital display data (refer to drawing 8).

[0063] This storing processing can be easily performed, when a user operates the user program of an external control unit. That is, the user itself can change the amount of adjustments for gamma amendment easily only by carrying out easy actuation. Thus, if a user can change gamma amendment property easily, the efficiency of the evaluation for optimizing a display condition can be increased.

[0064] gamma amendment property 220 after changing output data into drawing 9 based on the adjustment data stored in the nonvolatile memory 53 as shown in drawing 8 is shown. As this nonvolatile memory 53, even if it disconnects a power source, a flash memory, OTP and EEPROM, and FeRAM (ferroelectric random-access memory) can be used so that the data memorized once may be held.

[0065] The configuration block Fig. of the 2nd example of the source driver which used the gradation display reference voltage generating circuit of this invention for <2nd example> drawing 10 is shown. In this example, it is characterized by having the circuit which carries out gamma amendment independently for every color of red (R), green (G), and blue (B) for the purpose of improvement in color reproduction nature.

[0066] In the 1st example of drawing 1 , although the gradation display reference voltage generating circuit 52 of one ** was formed, as shown in drawing 10 , by this 2nd example, three gradation display reference voltage generating circuits (the object 52-1 for R, the object 52-2 for G, for [52-3] B) are prepared. although a nonvolatile memory 53 may be separately formed in the interior of each gradation

display reference voltage generating circuit like the 1st example, respectively -- one nonvolatile memory 53 -- preparing -- this -- R, G, and B -- you may make it store the adjustment data about all colors [0067] Moreover, other components of shift-register-circuit 32 grade shown in drawing 10 are the same as that of the 1st example shown in drawing 1, and its same is said of actuation of each circuit as a source driver. However, adjustment data as shown in drawing 8 are memorized by the nonvolatile memory 53 for every color, and it differs in that 64 kinds of reference voltages are given to the DA converter circuit 36 by three gradation display reference voltage generating circuits (52-1, 52-2, 52-3) for every color. According to this, since gamma amendment can be carried out independently for every color, image display by more suitable gradation can be carried out.

[0068] In addition, a nonvolatile memory 53 may be formed in the controller 5 grade of the display mechanical component of the source driver exterior besides in the case of building in a source driver, as described above, and it can be arranged in consideration of arrangement with other circuits at the time of a circuit design. Moreover, when a nonvolatile memory is prepared for every source driver, even if there is variation in the property in the screen of a liquid crystal display (for example, gradation nonuniformity of right and left of a screen), it can tune finely, and is effective in especially the display of a big screen.

[0069] In the <3rd example> above-mentioned example, although the data for adjustment for gamma amendment were stored in the nonvolatile memory 53 in the gradation display reference voltage generating circuit 52, it differs in the gradation display reference voltage generating circuit 52, and does not store in the "display memory" prepared in the source driver 101, and the case where gamma amendment equalization circuit 54 in the gradation display reference voltage generating circuit 52 is the case or adjusted is explained every gate signal Rhine 15 here. Hereafter, a gate signal is also called a scan line or a line.

[0070] The configuration block Fig. of the liquid crystal display 1 of the 3rd example of this invention is shown in drawing 19. Here, only the main components and signal paths are illustrated, and the circuit components and signal which are not directly related to this inventions, such as a power circuit, a clock signal, a reset signal, and a select signal are omitted. The liquid crystal display 1 of this invention is equipped with a liquid crystal panel 103, the source driver 101, a gate driver 102, and a controller 105. MPU (microprocessor unit) can be used as a controller 105. This MPU 105 is equivalent to a control section.

[0071] A liquid crystal panel 103 is a liquid crystal panel which has the pixel of the TFT (thin film transistor) method of the n-pixel m pixel x perpendicularly of horizontal directions it is formed in m source electrodes and n gate electrodes. In addition, below, the array of the pixel of the horizontal direction of one line is called a "line", and the array of the pixel of the perpendicular direction of one line is called a "train." Here, it shall be $m=1028 \times \text{RGB}$ and $n=900$ and the gradation display of 64 gradation (6 bits) of the 0th gradation -- the 63rd gradation shall be performed in each pixel. each line -- R (red), G (green), and B (blue) -- the pixel which displays each shall be arranged repeatedly. Therefore, $m/3$ pixel of each pixel of RGB will be contained in each line, respectively.

[0072] The source driver 101 and the gate driver 102 are connected to the liquid crystal panel 103, and the source driver 101 and the gate driver 102 are connected to the controller (MPU) 105. The source driver 101 mainly consists of the main circuit section 120, an I/O circuit 121, the circumference circuit section 122, and display memory 110.

[0073] Although not restricted, especially the display memory 110 is constituted so that the indicative data for the M pixel x perpendicular direction N pixel of horizontal directions can be stored. It may be character data, quiescence screen data, etc., and a part for two or more screens is [the indicative data stored in display memory 110 changes to an indicative data D1, or may be made to pile up mutually, and may be outputted to a liquid crystal screen, one screen is sufficient as it, and] sufficient as it, or the object for window displays is sufficient as it. In this case, although not illustrated to drawing 19, it changes to the preceding paragraph or the latter part of the hold memory 34, and SWITCH1 is prepared and the data from display memory 110 and the indicative data from MPU105 are changed. gamma

amendment data are also further stored in display memory 110. Henceforth, it indicates only paying attention to this data D2 for gamma amendment adjustment.

[0074] Although display memory 110 does not ask a class, as for the amendment data memorized once [, such as a flash memory, OTP and EEPROM and FeRAM,] (ferroelectric random-access memory), it is desirable to consist of nonvolatile memories held even if a power source is intercepted. However, when an indicative data is offered as fixed data, the memory of ROM structure may be used as display memory. Moreover, display memory 110 may be built in in the source driver 101, and is good also as external.

[0075] The circumference circuit section 122 of the source driver 101 contains the command decoder 111, the X address decoder (column decoder) 112, and the Y address decoder (low decoder) 113.

Moreover, the main circuit section 120 of a source driver corresponds to the circuit block shown in drawing 1 of the 1st example mostly, and includes the data latch circuit 31, the gradation display reference voltage generating circuit 52 (a reference voltage generating circuit is called henceforth), a shift register 32, the sampling memory circuit 33 and the hold memory circuit 34, the level-shifter circuit 35, the D/A converter circuit 36, and the output circuit 37.

[0076] Through MPU105, the indicative data D1 displayed on the screen of a liquid crystal panel 103 is serially inputted into this main circuit section 120, and is first latched to it temporarily by the data latch circuit 31. Based on the output signal of each stage of a shift register 32, the latched indicative data D1 is sampled by the sampling memory circuit 33, and is outputted to the stage in which the hold memory circuit 34 corresponds.

[0077] moreover, the 1st by which the hold memory 34 is contained in each line in a liquid crystal panel 103, the m-th pixel, the 1st to the m-th source electrode line is supported, respectively. The indicative data to which the indicative data inputted into the hold memory 34 will be outputted from the hold memory 34 by the time a latch is applied by Horizontal Synchronizing signal H and following Horizontal Synchronizing signal H is inputted is fixed. Level conversions such as a pressure up for doubling with the signal processing level of the D/A converter circuit 36 of the next step in the level-shifter circuit 35 are performed, and the indicative data outputted from the hold memory 34 is inputted into the D/A converter circuit 36.

[0078] It is inputted into the reference voltage generating circuit 52 from the power circuit which the maximum electrical potential difference E1 of an electrical potential difference and the minimum electrical potential difference E2 which should be given to a pixel do not illustrate. By pressuring partially the potential difference of the maximum electrical potential difference E1 and the minimum electrical potential difference E2 inside, in 64 gradation displays, the reference voltage generating circuit 52 generates 64 kinds of electrical potential differences for a gradation display, and outputs them to the D/A converter circuit 36. In the D/A converter circuit 36, one electrical potential difference for a gradation display according to the indicative data from the level-shifter circuit 35 is chosen for every pixel from the 64 above-mentioned kinds of electrical potential differences for a gradation display, and it outputs to an output circuit 37.

[0079] the low impedance transducer which an output circuit 37 becomes from the differential amplifier etc. — it is — the 1- of an output circuit 37 to the liquid crystal panel 103 — the electrical potential difference for a gradation display chosen in the D/A converter circuit 36 is given to each m-th source electrode. As for this electrical potential difference for a gradation display, one period of Horizontal Synchronizing signal H, i.e., the electrical potential difference for a 1 horizontal-synchronization period maintenance is carried out, and corresponding to indicative data with next new horizontal synchronization period gradation display, is outputted.

[0080] On the other hand, the gate driver 102 includes the shift register 114, the level shifter 115, and the output circuit 116. Horizontal Synchronizing signal H and Vertical Synchronizing signal V are inputted into a shift register 114 from MPU105, and a gate driver 102 carries out the sequential transfer of Vertical Synchronizing signal V in each stage in a shift register 114 by using Horizontal Synchronizing

signal H as a clock.

[0081] the 1st by which the output from each stage of a shift register 114 is included in each train in a liquid crystal panel 103 -- the n-th pixel, i.e., the 1-, -- the n-th gate electrode line is supported, respectively. by carrying out a level conversion by the level shifter 115, the pressure up of the output from each stage of a shift register 114 is carried out to the electrical potential difference which can control the gate of TFT which each pixel has, and it carries out low impedance conversion in an output circuit 116 -- having -- the 1- of an output circuit 116 to the liquid crystal panel 103 -- it is outputted to each n-th gate electrode. The output from this gate driver 102 serves as a scan signal, and controls ON/OFF of the gate of TFT of each pixel of a liquid crystal panel 103.

[0082] TFT by which the gate is connected by this to one gate electrode chosen by the scan signal is turned on. And the pixel which has TFT turned on by sequential selection of the gate electrode being made for every 1 horizontal-synchronization period moves perpendicularly one by one. By the pixel by which it was chosen by the scan signal and TFT was turned on, if pixel capacity is charged according to the potential and TFT becomes off by the electrical potential difference for a gradation display being given to the pixel capacity with which the pixel was equipped from a source electrode, the gradation display in a pixel will be made by potential being held by pixel capacity.

[0083] MPU105 gives Horizontal Synchronizing signal H, the start pulse signal S, an indicative data D1, and a control signal C to the source driver 101. From MPU105, through the I/O circuit 121, a control signal C is a signal given to a command decoder 111, for example, consists of data [like /with a binary code of n bits]. In a command decoder 111, by analyzing this control signal C, read-out and a write-in instruction are decoded and the address of a request of display memory 110 is further chosen by the X-axis address decoder 112 and the Y-axis address decoder 113, and the data of this address are read or it is overwritten.

[0084] The I/O circuit 121 functions as an interface and an input output buffer with MPU105. It is directed that MPU105 reads the data D2 for adjustment with which only Rhine of the arbitration in one frame adjusts a gamma property based on the amount of adjustments memorized by display memory 110 and the control signal C on the other hand.

[0085] Below, actuation of the main circuit section 120 of the source driver 101 of the 3rd example of circuit section of this invention is explained. First, the normal mode (full screen display) is explained. At the time of the normal mode, the indicative data D1 sent from MPU105 has the value of 6 bits corresponding to each one pixel, and is once latched by the data latch circuit 31. On the other hand, a shift register 32 shifts, namely, transmits the start pulse signal S from MPU105. This start pulse input signal S is outputted from the terminal of MPU105, and is shifted by the clock signal of the source driver 101 which is not illustrated. If eight-piece cascade connection of the source driver 101 is carried out, the sequential transfer of the start pulse signal S shifted with this shift register 32 is carried out even at the shift register 32 of the 8th step of 8th source driver.

[0086] each block from a shift register 32 to an output circuit 37 -- the 1- of a liquid crystal panel 103 -- the m-th m source electrode lines -- corresponding -- the 1- it is the m-th m step. While the indicative data D1 latched to the data latch circuit 31 is once memorized in the stage in which the sampling memory 33 corresponds synchronizing with the output from each stage of this shift register 32, it is outputted to the stage in which the following hold memory 34 corresponds.

[0087] If m indicative datas D1 of 1 horizontal-synchronization period are inputted from the sampling memory 33, the hold memory 34 will incorporate an indicative data D1 from the sampling memory 33 with Horizontal Synchronizing signal H from MPU105 (it is also called a latch signal.), and will output it to the next level-shifter circuit 35. And the hold memory 34 maintains this indicative data D1 until following Horizontal Synchronizing signal H is inputted.

[0088] MPU105 sends an indicative data D1 repeatedly to the data latch circuit 31 for every Horizontal Synchronizing signal. Thereby, the electrical potential difference according to an indicative data D1 is periodically written in to a liquid crystal panel 103, and the liquid crystal display in a liquid crystal panel

103 is maintained. Moreover, if MPU105 directs read-out of the data D2 for adjustment from display memory 110 with a control signal C, the data for adjustment (D2) will be read from this display memory 110, and will be inputted into the reference voltage generating circuit 52.

[0089] The data for adjustment (D2) read from display memory 110 by the control signal C are inputted into the reference voltage generating circuit 52, 64 kinds of reference voltages are created in it to red, green, and the liquid crystal driver voltage output terminal for blue like the 1st example, and the intermediate voltage for a gradation display is generated in it.

[0090] Based on 64 kinds of intermediate voltage to which it is given from the reference voltage generating circuit 52, the indicative-data signal (digital) of 6 bits of each RGB which was inputted from the hold memory 34 and changed in the level-shifter circuit 35 is changed into an analog signal, and the D/A conversion circuit 36 outputs it to an output circuit 37. An output circuit 37 amplifies the analog signal of 64 level, and outputs it to a liquid crystal panel 103 as a gradation display electrical potential difference.

[0091] The configuration block Fig. of the reference voltage generating circuit 52 of the 3rd example of this invention is shown in drawing 20. Although the nonvolatile memory 53 which stored amendment information was formed in the reference voltage generating circuit 52 in drawing 3 of the 1st example, display memory 110 is formed out of the main circuit section 120 instead of a nonvolatile memory 53 in the 3rd example. And the data D2 for adjustment memorized by this display memory 110 are read, and inputted to the ** gamma amendment equalization circuit 52 of the reference voltage generating circuit 52 is given.

[0092] Here, since the data D2 for adjustment are not memorized by the memory of the reference voltage generating circuit 52 interior fixed but the display memory 110 of the exterior of the reference voltage generating circuit 52 memorizes, the point which can be rewritten with the control signal C from MPU105 for every gate signal Rhine differs from the 1st example. Moreover, gamma amendment can be finely tuned for every gate signal Rhine by memorizing beforehand two or more kinds of data D2 for adjustment to display memory 110, and changing the class of data D2 for adjustment which should be read with a control signal C for every gate signal Rhine.

[0093] In the reference voltage generating circuit 52 shown in drawing 20 circuitry, such as having two input terminals V0 and V64, eight resistance elements R0-R7, and the gamma correction and gamma amendment equalization circuit 54 that generates gamma correction voltage is the same as that of drawing 3 of the 1st example. Moreover, about the circuitry of gamma amendment equalization circuit 54, the circuitry of the constant current source section, or actuation, it is the same as that of drawing 4 of the 1st example, drawing 5, and drawing 6. However, although ON/OFF control of the switch shown in drawing 6 was carried out in the 1st example based on the data for adjustment memorized by the nonvolatile memory 53, ON/OFF control of the switch shown in drawing 6 based on the data for adjustment (D2) given from display memory 110 is carried out in the 3rd example (refer to drawing 21).

[0094] Thus, the electrical potential difference which performed adjustment based on the data for adjustment to input voltage can be outputted by responding to the data for adjustment (D2) stored in display memory 110, and turning on / turning off a switch +2 (n-1) and -2 (n-1). Furthermore, adjustment of two kinds of gamma amendments is attained by making two kinds of data for adjustment memorize, taking a synchronization to a scan signal, outputting the desired data D2 for adjustment for every gate signal Rhine, and changing adjustment to display memory 110.

[0095] By applying this adjustment to gamma correction value based on resistance elements R0-R7, as shown in drawing 22, the gamma transfer characteristic gamma 2 of two upper and lower sides adjusted with the above-mentioned data for adjustment as a property of liquid crystal drive output voltage focusing on the correction value (gamma transfer characteristic gamma 1) based on resistance element R0 - R7 the very thing can be acquired. That is, two kinds of gamma transfer characteristics (gamma1, gamma2) can be acquired.

[0096] By the dot reversal drive method as shown in drawing 23 mentioned later, since the gamma property that only predetermined Rhine differs in one frame can be given, a display property is

changeable so that an angle of visibility may become the optimal visual field. Control of read-out of the display memory 110 in this case may output directly the change signal which synchronized with the scan signal to display memory 110 from MPU105. Or to have a memory area in a command decoder 24, for example, to change to scan signal-line $ni-ni+j$, a scan signal-line number and adjustment data numbers (the object for gamma 1, for gamma 2, etc.) are memorized to this memory area, the control signal C from MPU105 may be decoded, and display memory 110 may be controlled through X address decoder and Y address decoder.

[0097] Moreover, the data D2 for adjustment memorized by display memory 110 are rewritten by the program etc. through MPU105 if needed. If rewriting is possible, adjustment of gamma amendment made to correspond to the location which a user looks at, an include angle, etc. can be performed, and it is more desirable.

[0098] The explanatory view of the pixel condition at the time of carrying out a liquid crystal drive using the two gamma transfer characteristics gamma1 and gamma2 shown in drawing 23 at drawing 22 is shown. each measure eye of drawing 23 expresses one pixel dot, and "+" or "-" in each pixel dot shows the polarity of the signal level impressed. In drawing 23, the part of four central lines is a pixel dot into which the signal corresponding to the gamma transfer characteristic gamma 1 centering on the correction value based on resistance elements R0-R7 is inputted, and the amount of [a part for an upper party and;] lower party is a pixel dot into which the signal corresponding to the gamma transfer characteristic gamma 2 adjusted with the data D2 for adjustment is inputted.

[0099] Here, gate signal Rhine and each line correspond and adjustment of a property gamma 2 is carried out only for the line corresponding to gate signal Rhine of two upper and lower sides. However, adjustment of a property gamma 2 is not limited to two lines of drawing 23 and can be performed about the line of arbitration by changing the information on a control signal C.

[0100] Drawing 23 shows the liquid crystal display of a dot reversal drive method and shows the example which the polarity of the pixel dot which adjoins in one certain frame has reversed mutually. Although what showed change of the pixel condition in the frame (n frame and n+1 frame) which follows drawing 24 is shown, when it changes from n frame to the following n+1 frame, the polarity of each pixel dot is reversed. As mentioned above, since the gamma transfer characteristic is changeable for every gate signal Rhine, i.e., a line, in one frame, if the line which adopts the gamma transfer characteristic gamma 1 and the line which adopts the gamma transfer characteristic gamma 2 are chosen appropriately, an angle-of-visibility property can be adjusted so that it may become the wide field of view.

[0101] In drawing 23 and drawing 24, although two kinds of gamma transfer characteristics (gamma1, gamma2) were used, adjustment using three or more kinds of gamma transfer characteristics may be carried out. Since adjustment of a finer angle of visibility is attained and equalization of a liquid crystal panel can be attained as a result by increasing the class of gamma transfer characteristic, amendment of the color change by vision is attained. The explanatory view of the pixel condition of one example at the time of using three kinds of gamma transfer characteristics (gamma1, gamma2, gamma3) for drawing 25 R> 5, and adjusting gamma amendment to it is shown. In this case, three kinds of data D2 for adjustment corresponding to each gamma transfer characteristic (gamma1, gamma2, gamma3) are memorized to display memory 110.

[0102] One example of the liquid crystal drive output voltage of these three gamma transfer characteristics (gamma1, gamma2, gamma3) is shown in drawing 28. What is necessary is to make it synchronize with that gate scan signal, to read the data D2 for adjustment corresponding to that gate signal Rhine from display memory 110 for every gate signal Rhine, to give the reference voltage generating circuit 52, and just to change the switch of the ** gamma amendment equalization circuit 54 for every gate signal Rhine, i.e., a line, based on this data D2 for adjustment. Drawing 25 carries out adjustment according the line of a center section to a property gamma 1, carries out adjustment according the line of the both sides to a property gamma 2, and is carrying out adjustment by the

property gamma 3 about the outside line further.

[0103] What is necessary is not to restrict which amount of adjustments is applied to which line to what was shown in drawing 25 $R > 5$, and just to change the amount of adjustments with a location, an include angle, etc. which a user looks at. For example, in the liquid crystal display of a big screen, an angle of visibility changes with relative positions of the people and the screen to see, and how the up field of a screen, a center-section field, and whose lower field are visible differs. Although an up field is hard to see, it is, also when saying that a central subordinate section field is not so hard to see, and it cannot necessarily be said that adjustment like drawing 25 is appropriate.

[0104] Made it in such a case, more desirable for the gamma transfer characteristics to differ in the upper part and a lower part, as shown in drawing 26. Drawing 26 is the explanatory view of the pixel condition at the time of changing the gamma transfer characteristic about the line of the upper part and a lower part. In drawing 26, the gamma transfer characteristic gamma 3 of drawing 28 is used about the lower line, using the gamma transfer characteristic gamma 2 of drawing 28 about a upside line. Here, although the gamma transfer characteristics gamma2 and gamma3 have two kinds of control voltage up and down focusing on the gamma transfer characteristic gamma 1, respectively, which electrical potential difference is used can determine them by observing a screen.

[0105] For example, in the case of drawing 26, an image is an example in the case of on the whole being bright, and the electrical potential difference value indicated to be also properties gamma2 and gamma3 to the property gamma1 bottom of drawing 28 should just be used. If gamma characteristics are adjusted for every screen area of a line unit as shown in drawing 26, in the liquid crystal display of a big screen, it can adjust so that an angle of visibility may become large more.

[0106] The explanatory view of change of the pixel condition in the frame which follows drawing 27 to the pixel condition of drawing 26 is shown. Here, to each pixel dot of n frames, by n+1 frame, the electrical potential difference which the polarity-reversed was impressed and the gamma transfer characteristic (gamma2, gamma3) which is further different about the line of the upper part and the lower part is applied. If a gamma correction is adjusted as shown in drawing 27, the color balance of RGB is maintained and the electrical potential difference corresponding to a continuously different gamma property is impressed, printing of the screen resulting from fixed polarization of the liquid crystal by the residual DC electrical potential difference generated according to the imbalance of the signal of positive/negative and the orientation film can be suppressed.

[0107] The explanatory view of the pixel condition of one example at the time of using five kinds of gamma transfer characteristics (gamma1-gamma5) for drawing 29 and drawing 30, and adjusting gamma amendment to them is shown. The explanatory view of one example of the property of the liquid crystal drive output voltage corresponding to five kinds of this gamma transfer characteristic is shown in drawing 31. Here, what applied the gamma transfer characteristic gamma 1 about the line of a center section, applied the gamma transfer characteristics gamma2 and gamma3 about two lines of the upper part, and applied the gamma transfer characteristics gamma4 and gamma5 about two lines of the lower part is shown. In drawing 30, the gamma transfer characteristic about two lines of the upper part and two lines of the lower part is replaced in n+1 frame.

[0108] Thus, by increasing the number of the classes of gamma transfer characteristic, and changing the line which applies the gamma transfer characteristic as applied voltage is reversed further and it is shown in drawing 30, an angle of visibility can be adjusted more finely and it can adjust to a wide-field-of-view angle. Moreover, like drawing 10, if each data D2 for adjustment which read gamma amendment equalization circuit 54 in each gradation display reference voltage generating circuit 52 from display memory 110 are made to adjust gamma amendment, in addition to adjusting RGB according to an individual, still more suitable gamma amendment is realizable [it has the gradation display reference voltage generating circuit 52 corresponding to each RGB, and].

[0109] The <4th example> This example explains the case where adjustment of a gamma correction is changed, to every [of the signal level impressed to each pixel] polarity (forward (+) or negative (-)).

[0110] In the 4th example shown below, the display memory 110 of drawing 32 is equivalent to the 1st storage section, display memory 137 is equivalent to the 2nd storage section, and a selector circuit 130 is equivalent to the selection section. moreover, the straight polarity gradation electrical-potential-difference generating circuit 56 of drawing 34 -- the 1st electrical-potential-difference generating section -- resistance dividing network 52a of drawing 35 is equivalent to the 1st controller, and resistance dividing network 52b of drawing 35 is equivalent to the 2nd controller for the negative polarity gradation electrical-potential-difference generating circuit 57 of drawing 34 at the 2nd electrical-potential-difference generating section, respectively.

[0111] The configuration block Fig. of the liquid crystal display 1 of the 4th example of this invention is shown in drawing 32. It differs in that the following element is added to the configuration of the 3rd example shown in drawing 19.

(a) The selector circuit 130 (b) display memory 137 and the 2nd decoding section 132(c) signal Vcom. (counterelectrode electrical potential difference).

(d) Control signal C1 (from MPU105 to the I/O circuit 133)

(e) Reference voltage VH and VL (from MPU to the reference voltage generating circuit 52).

(f) The signal REV (from MPU to a selector circuit 130) for polarity reversals

(g) Data D3 (from the display memory 137 to the reference voltage generating circuit 52) for adjustment

In the 4th example, unlike the 3rd example, it has two address decoding circuits (the 1st decoding section 131, the 2nd decoding section 132), and has two display memory (110, 137). For details, it mentions later. About other components, it is the same as that of the 3rd example.

[0112] The liquid crystal display 1 of this invention is equipped with a liquid crystal panel 103, the source driver 101, a gate driver 102, and a controller 105. MPU (microprocessor unit) can be used as a controller 105. This MPU105 is equivalent to a control section.

[0113] The <configuration of liquid crystal panel> liquid crystal panel 103 is a liquid crystal panel which has the pixel of the TFT (thin film transistor) method of the n-pixel m-pixel x perpendicularly of horizontal directions it is formed in m source electrodes and n gate electrodes. In addition, below the array of the pixel of the horizontal direction of one line is called a "line", and the array of the pixel of the perpendicular direction of one line is called a "train". Here, it shall be $m=1028 \times \text{RGB}$ and $n=900$ and the gradation display of 64 gradation (6 bits) of the 0th gradation to the 63rd gradation shall be performed in each pixel. each line is R (red), G (green), and B (blue) the pixel which displays each train shall be arranged repeatedly. Therefore, n pixels of each pixel of RGB will be contained in each line, respectively.

[0114] The source driver 101 and the gate driver 102 are connected to the liquid crystal panel 103, and the source driver 101 and the gate driver 102 are connected to the controller (MPU) 105.

The <configuration of source driver> source driver 101 consists of the main circuit section 120 and the circumference circuit section 122, and the circumference circuit section 122 consists of the 1st decoding section 131, the 1st display memory 110, the 2nd decoding section 132, and the 2nd display memory 137. Moreover, the 1st decoding section 131 consists of the I/O circuit 121, a command decoder 111, an X address decoder 112, and a Y address decoder 113, and the 2nd decoding section 132 consists of the I/O circuit 133, a command decoder 134, an X address decoder 135, and a Y address decoder 136.

[0115] Although not restricted, especially the display memory 110, 137 is constituted so that the indicative data for the M pixel x perpendicular direction N pixel of horizontal directions can be stored. gamma amendment data D2 and D3 are also stored in display memory 110, 137 further, respectively. Henceforth, it indicates paying attention to these data D2 and D3 for gamma amendment adjustment.

[0116] Although display memory 110, 137 does not ask a class, as for the amendment data memorized once [, such as a flash memory, OTP and EEPROM and FeRAM,] (ferroelectric random-access memory), it is desirable to consist of nonvolatile memories held even if a power source is intercepted. However, when an indicative data is offered as fixed data, the memory of ROM structure may be used as

display memory. The data D2 and D3 for adjustment stored in display memory can be rewritten if needed. Moreover, display memory 110,137 may be built in in the source driver 101, and is good also as external. [0117] Although what was constituted from drawing 32 as separately different memory as display memory 110,137 is shown, as shown in drawing 33 , physically, using one memory, field division of this may be carried out and you may use as display memory 110 and 137. In this case, the decoding section (131,132) is summarized to one and the data for adjustment (D2, D3) can be read from one display memory 110 to control signals C and C1.

[0118] Although the configuration and actuation of the source driver 101 of this 4th example are the same as that of the 3rd example almost, it differs in that the electrical potential difference for a gradation display outputted from the reference voltage generating circuit 52 is outputted to the D/A converter circuit 36 through a selector circuit 130. [the main circuit section 120] Moreover, although the control signal C outputted from MPU105 is given to the I/O circuit 121 of circumference circuit circles, the data D2 for adjustment are read from display memory 110 by this control signal C, and the data D2 for adjustment are inputted into resistance dividing network 52a of the straight polarity gradation electrical-potential-difference generating circuit 56 of the reference voltage generating circuit 52 (refer to drawing 34 and drawing 35). On the other hand, the control signal C1 outputted from MPU105 is given to the I/O circuit 133, the data D3 for adjustment are read from display memory 137

by this control signal C1, and the data D3 for adjustment are inputted into resistance dividing network 52b of the negative polarity gradation electrical-potential-difference generating circuit 57 of the reference voltage generating circuit 52 (refer to drawing 34 and drawing 35).

[0119] The internal circuitry block diagram of the reference voltage generating circuit 52 of the 4th example is shown in <configuration of reference voltage generating circuit> drawing 34 and drawing 35 .

Here, the reference voltage generating circuit 52 consists of a straight polarity gradation electrical-potential-difference generating circuit 56 and a negative polarity gradation electrical-potential-difference generating circuit 57, and each generating circuit (56-57) consists of buffer amplifier (55a, 55b) and a resistance dividing network (52a, 52b). Moreover, it has the top volt input terminal VH and the lowest volt input terminal VL, and the reference voltage VH and VL from MPU105 is inputted into this volt input terminal, respectively. This reference voltage VH and VL is supplied through MPU105 from the liquid crystal drive power source of the exterior which is not illustrated and is equivalent to the electrical potential differences V64 and V0 shown in drawing 20 of the 3rd example.

[0120] The straight polarity gradation electrical-potential-difference generating circuit 56 corresponds to the alternating current drive of straight polarity, and generates the analog voltage for the gradation display of straight polarity (+V0--+V63) by resistance dividing network 52a. The negative polarity gradation electrical-potential-difference generating circuit 57 corresponds to the alternating current drive of negative polarity, and generates the analog voltage for the gradation display of negative polarity (-V0--V63) by resistance dividing network 52b.

[0121] Moreover, resistance dividing network 52a by the side of straight polarity consists of the resistance elements RP0-RP7, the gamma correction equalization circuits 54, and analog switches SA which have the resistance ratio for performing the gamma correction used as criteria. In resistance dividing network 52a by the side of straight polarity, the analog voltage for the gradation display of straight polarity (+V0--+V63) is adjusted in each gamma correction equalization circuit 54 based on the data D2 for adjustment read from display memory 110 by the control signal C given from MPU105.

[0122] Moreover, resistance dividing network 52b by the side of negative polarity consists of resistance elements RN0-RN7, a gamma correction equalization circuit 54, and an analog switch SB similarly. Based on the data D3 for adjustment which similarly were read from display memory 137 by the control signal C1 given from MPU105 in resistance dividing network 52b by the side of negative polarity, the analog voltage for the gradation display of negative polarity (-V0--V63) is adjusted in each gamma correction equalization circuit 54.

[0123] In drawing 35 , the output of buffer amplifier (voltage follower mold magnification amplifier) 55a by

which while was connected to the top volt input terminal VH at the node in RP0 is connected among resistance elements RP0-RP7, and, as for the other end of resistance RP 0, RP1 is connected. Two or more resistance elements are connected to a serial, and each of resistance elements RP1-RP7 is constituted. For example, if resistance RP 1 is explained, series connection of 15 resistance elements [RP / RP and / 1-2] 1-1 andRP 1-15 is carried out, and resistance RP 1 is constituted as a whole. Moreover, about other resistance RP2-RP7, series connection of the 16 resistance elements is carried out, and resistance RP2-RP7 is constituted. As for the other end of RP7, the output of buffer amplifier (voltage follower mold magnification amplifier) 55b by which RP6 was connected to the terminal of the opposite side on both sides of the analog switch SA by connecting at the lowest volt input terminal VL with the node of the resistance RP 6 in resistance RP 7 is connected.

[0124] The output of amplifier 55b for magnification by which while was connected to the lowest volt input terminal VL at the node in RN0 is connected among resistance elements RN0-RN7, and, as for the other end of resistance RN0, RN1 is connected. Two or more resistance elements are connected to a serial, and each of resistance elements RN1-RN7 is constituted. For example, if resistance RN1 is explained, series connection of 15 resistance elements RN 1-1, RN 1-2,RN 1-15 is carried out, and resistance RN1 is constituted as a whole. Moreover, about RN7, series connection of the 16 resistance elements is carried out from other resistance RN2, and resistance RN2-RN7 is constituted. The output of buffer amplifier (voltage follower mold magnification amplifier) 55a by which the other end of RN7 was connected to the terminal of the opposite side on both sides of the analog switch SB by connecting RN6 at the top volt input terminal VH with the node of the resistance RN6 in resistance RN7 is connected. Thus, in the 4th example, like the conventional gradation display reference voltage generating circuit, there is no need of preparing V64 from nine halftone volt input terminals V0, and it can generate and adjust intermediate voltage in the reference voltage generating circuit 52.

[0125] Moreover, with the buffer amplifier 55a and 55b (voltage follower mold magnification amplifier) connected to the top volt input terminal VH and the lowest volt input terminal VL, since the resistance of a resistance dividing network (52a, 52b) can be made higher, the current value which flows to division resistance can be held down.

[0126] Furthermore, as the signal REV for polarity reversals outputted from MPU105 is shown in drawing 35, the analog switch (SA, SB) in the resistance dividing network (52a, 52b) of the reference voltage generating circuit 52 will be given, and one of resistance dividing networks (52a, 52b) will be chosen by this signal REV. For example, when Signal REV is "H", ON (open condition) and Switch SB serve as [an analog switch SA] OFF (closed state), resistance dividing network 52a is chosen, and the analog voltage for a gradation display of straight polarity (+V0--+V63) is outputted. Conversely, when Signal REV is "L", OFF (closed state) and Switch SB serve as [an analog switch SA] ON (open condition), and resistance dividing network 52b is chosen. When the additional electrical potential difference to the gate where this signal REV is given to the gate of an analog switch (SA, SB) is "H", a switch will be in switch-on (open condition).

[0127] The <configuration of selector circuit> selector circuit 130. As shown in drawing 34, it corresponds to the straight polarity gradation electrical-potential-difference generating circuit 56 and the negative polarity gradation electrical-potential-difference generating circuit 57. It has selector circuit 130a for straight polarity, and selector circuit 130b for negative polarity. Each selector circuit (130a, 130b) It is constituted by two or more analog switches (58 59) formed so that it might correspond to each analog voltage (V0-V63) outputted from an electrical-potential-difference generating circuit (56 57). Each analog switch 58 of selector circuit 130a is connected to the output terminal of the analog voltage (+V0--+V63) from resistance dividing network 52a of straight polarity, respectively, and each analog switch 59 of selector circuit 130b is connected to the output terminal of the analog voltage (-V0--V63) from resistance dividing network 52b of negative polarity, respectively. ON/OFF is chosen by the signal REV for polarity reversals, and, as for each analog switch (58 59), the existence of the output to the DA converter circuit 36 of each analog voltage (V0-V64) is controlled.

[0128] For example, when Signal REV is "H", the analog switch 58 of selector circuit 130a is chosen, and the analog voltage (+V0--+V63) of straight polarity is outputted. Moreover, when Signal REV is "L", the analog switch 59 of selector circuit 130b is chosen, and the analog voltage (-V0--V63) of negative polarity is outputted.

[0129] Moreover, about the circuitry of the gamma correction equalization circuit 54, it is the same as that of drawing 4 of the 1st example, drawing 5, and drawing 6, and in the 4th example, as shown in drawing 21 of the 3rd example, based on the data for adjustment (D2) given from display memory 110, and the data for adjustment (D3) given from display memory 137, ON/OFF control of each switch is carried out. In the case of the 4th example, in the gamma correction equalization circuit 54, the amount of adjustments of the scale factor according to two data D2 and D3 for adjustment stored in display memory 110,137 instead of the adjustment data of the gamma correction information memorized by the nonvolatile memory 53 of the 1st example, respectively can be obtained. In other words, the electrical potential difference which performed adjustment based on the data for adjustment to input voltage can be outputted by responding to the data D2 and D3 for adjustment, and turning on / turning off a switch +2 (n-1) and -2 (n-1).

[0130] By applying this adjustment to the gamma correction value based on resistance elements R0-R7, as shown in drawing 36, the property of liquid crystal drive output voltage can obtain gamma 3 in the gamma transfer characteristic gamma2 list which can be adjusted with the gamma transfer characteristic gamma1 and the above-mentioned data D2 and D3 for adjustment centering on the correction value based on resistance elements R0-R7. By making this gamma1 and gamma2 list apply to three gamma properties by gamma 3 to Rhine of arbitration, respectively in 1 screen as shown in drawing 3737 mentioned later, a property is changeable so that an angle of visibility may become the optimal visual field.

[0131] The explanatory view of the gamma transfer characteristic gamma 1 explained to drawing 37 by drawing 36 and the pixel condition at the time of applying gamma 3 to a liquid crystal display at the gamma transfer characteristic gamma2 list adjusted with the data D2 and D3 for adjustment is shown. Although the pixel condition by the dot reversal drive method was shown in the drawing 23 R>3 grade of the 3rd example, drawing 37 shows the case where a liquid crystal display is driven with the Rhine drive method. That is, by drawing 37, it has become either straight polarity (+) or negative polarity (-) about all the pixels on one scan line to the polarity changing to forward and negative by turns in one scan line as shown in drawing 23.

[0132] In drawing 37, the part without a slash shows the pixel dot into which the signal corresponding to the gamma transfer characteristic gamma 1 centering on the correction value based on resistance elements R0-R7 is inputted, and the slash section shows the pixel dot as which the signal corresponding to gamma 3 is inputted into the gamma transfer characteristic gamma2 list adjusted with the data D2 and D3 for adjustment. Moreover, the sign of thing +/- which is not a pixel dot shows the polarity of an impression signal. Moreover, change of the pixel condition in two continuous frames in the liquid crystal display shown in drawing 38 by drawing 37 is shown. In n+1 frame, it has reversed straight polarity and the negative-electrode forward to n frames. As mentioned above, wide-field-of-view cornification can be attained by applying three kinds of different gamma transfer characteristics to Rhine of the arbitration in 1 screen. In addition, by applying three or more kinds of gamma transfer characteristics, it is more wide range and it cannot be overemphasized that it becomes possible to change an angle-of-visibility property.

[0133] As mentioned above, since the gamma correction value over the scan line of straight polarity is adjusted (gamma 2 of drawing 37) and it is made to adjust correction value over a negative-electrode forward scan line using the data D3 for adjustment stored in display memory 137 using the data D2 for adjustment stored in display memory 110 (gamma 3 of drawing 37), the optimal amendment of the color change by vision is realizable.

[0134] Other examples of a configuration of the reference voltage generating circuit 52 of the 4th

example are shown in drawing 39 . The control terminal 60 for controlling actuation of buffer amplifier (55a, 55b) is formed to the configuration shown in drawing 35 . The control signal terminal 60 is connected with MPU105, and the signal of "H" or "L" level is given from MPU105. For example, if the signal of "H" level is supplied to the control terminal 60, buffer amplifier (55a, 55b) will be in switch-on, and straight polarity and 64 kinds of negative-electrode forward reference voltages (**V0-**V63) which were described above will be generated based on the input reference voltage VH and VL. On the other hand, if the signal of "L" level is supplied, for the control terminal 60, buffer amplifier (55a, 55b) will be in non-switch-on, actuation will be suspended, and reference voltage will not be generated.

[0135] That is, since generation of the electrical potential difference by the reference voltage generating circuit 52 is interrupted by stopping actuation of buffer amplifier (55a, 55b), low-power-ization can be attained. Moreover, the buffer amplifier formed into the gamma correction equalization circuit 54 although not illustrated may also control actuation by the same signal. For example, if the operating current of the analog circuit represented by the large buffer amplifier (55a, 55b) of power consumption is intercepted, low-power-ization of a liquid crystal driving gear can be attained [be / it / under / processing period / of the vertical synchronization which are the non-display stage of a liquid crystal display, and the non-display period of a screen / setting etc.].

[0136]

[Effect of the Invention] According to this invention, since the nonvolatile memory is made to memorize the adjustment data for gradation amendment, even when the data length of digital display data is long, it can prevent that circuitry becomes complicated and modification of adjustment data can make it easy.

[0137] Moreover, modification of adjustment data can adjust reference voltage easily according to the property of a liquid crystal ingredient or a liquid crystal display, without making and changing the drive circuit for a liquid crystal display etc., since what is necessary is just to rewrite the adjustment data memorized by the nonvolatile memory. Therefore, since it is applicable with the liquid crystal display with which properties differ, rationalization of the circuit for a gradation display and communalization can be attained, and a manufacturing cost can be lowered. Moreover, since gradation amendment can be performed independently for every color component, the display grace of a liquid crystal display is finely

controllable.

[0138] Moreover, according to the liquid crystal display of this invention, it can be made to be able to impress to gate signal Rhine of the request of the output voltage of a different gamma property in one frame, and a property can be changed so that an angle of visibility may become the optimal visual field. Moreover, adjustment data can be changed free after also manufacturing a liquid crystal driving gear without [since amendment of the color change by the viewing angle is attained, without it complicates a liquid crystal panel production process, and] making manufacture conditions severe.

[0139] Moreover, since he is trying to adjust the reference voltage for a gradation display for every scan line which impresses the scan line which memorizes separately the data for adjustment in the case of impressing the case where a straight polarity electrical potential difference is impressed, and a negative-electrode forward electrical potential difference, and impresses a straight polarity electrical potential difference, and the negative-electrode forward according to this invention, color change amendment by the vision made to correspond to a polarity can be performed more appropriately. Moreover, in a liquid crystal display with which display properties differ especially in the time of straight polarity electrical-potential-difference impression and negative-electrode forward electrical-potential-difference impression, gamma correction adjustment can be carried out more finely. Moreover, without changing the drive circuit of gradation displays, such as the reference voltage generating section, since a nonvolatile memory is made to memorize the amount of adjustments, i.e., the data for a gradation display, and he is trying to rewrite the contents if needed, it is made to correspond to a liquid crystal ingredient or the display property of a liquid crystal display, and reference voltage can be adjusted easily. therefore, the circuit for a gradation display -- rationalization -- and-izing can be carried out [****] and the manufacturing cost of a liquid crystal display can be lowered as a result.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the configuration block Fig. of the source driver of the 1st example of this invention.

[Drawing 2] It is the block diagram showing the configuration of one example of the liquid crystal display of this invention.

[Drawing 3] It is the block diagram showing the configuration of the gradation display reference voltage generating circuit of this invention.

[Drawing 4] It is the outline block diagram of gamma amendment equalization circuit in drawing 1.

[Drawing 5] It is the explanatory view of the constant current source in the case of obtaining the case where output voltage higher than reference voltage is obtained, and low output voltage of operation.

[Drawing 6] It is drawing showing the circuitry of the constant current source section in gamma amendment equalization circuit.

[Drawing 7] It is drawing showing the property of the liquid crystal drive output voltage by the gradation display reference voltage generating circuit shown in drawing 1.

[Drawing 8] It is the explanatory view of the contents of information memorized by the nonvolatile memory of this invention.

[Drawing 9] It is the explanatory view of the amendment property of the gradation indicative data of this invention.

[Drawing 10] It is the configuration block Fig. of the source driver of the 2nd example of this invention.

[Drawing 11] It is drawing showing the block configuration of the liquid crystal display by the TFT method.

[Drawing 12] It is drawing showing the configuration of the liquid crystal panel in drawing 11.

[Drawing 13] It is drawing showing an example of a liquid crystal drive wave.

[Drawing 14] It is drawing showing a liquid crystal drive wave when applied voltage is lower than drawing 13.

[Drawing 15] It is the block diagram of the source driver in drawing 11.

[Drawing 16] It is drawing showing the configuration of the gradation display reference voltage generating circuit in drawing 15.

[Drawing 17] It is drawing showing the example of a property of the liquid crystal drive output voltage by the gradation display reference voltage generating circuit shown in drawing 16.

[Drawing 18] It is drawing showing the orientation condition of the conventional liquid crystal.

[Drawing 19] It is the configuration block Fig. of the liquid crystal display of the 3rd example of this invention.

[Drawing 20] It is the configuration block Fig. of the gradation display reference voltage generating

circuit of the 3rd example of this invention.

[Drawing 21] It is drawing showing the circuitry of the constant current source section of gamma amendment equalization circuit of the 3rd example of this invention.

[Drawing 22] It is the explanatory view of the two gamma transfer characteristics of the liquid crystal drive output voltage of the 3rd example of this invention.

[Drawing 23] In the 3rd example of this invention, it is the explanatory view of the pixel condition of the liquid crystal display using two kinds of gamma transfer characteristics.

[Drawing 24] It is the explanatory view of the pixel condition of two frames which continue about drawing 23 .

[Drawing 25] In the 3rd example of this invention, it is the explanatory view of the pixel condition of the liquid crystal display using three kinds of gamma transfer characteristics.

[Drawing 26] In the 3rd example of this invention, it is the explanatory view of the pixel condition of the liquid crystal display using three kinds of gamma transfer characteristics.

[Drawing 27] It is the explanatory view of the pixel condition of two frames which continue about drawing 26 .

[Drawing 28] It is the explanatory view of the three gamma transfer characteristics of the liquid crystal drive output voltage of the 3rd example of this invention.

[Drawing 29] In the 3rd example of this invention, it is the explanatory view of the pixel condition of the liquid crystal display using five kinds of gamma transfer characteristics.

[Drawing 30] It is the explanatory view of the pixel condition of two frames which continue about drawing 29 .

[Drawing 31] It is the explanatory view of the five gamma transfer characteristics of the liquid crystal drive output voltage of the 3rd example of this invention.

[Drawing 32] It is the configuration block Fig. of the liquid crystal display of the 4th example of this invention.

[Drawing 33] It is the configuration block Fig. of the liquid crystal display of the 4th example of this invention.

[Drawing 34] It is the configuration block Fig. of the reference voltage generating circuit of the 4th example of this invention, and a selector circuit.

[Drawing 35] It is the configuration block Fig. of the reference voltage generating circuit of the 4th example of this invention.

[Drawing 36] It is the explanatory view of the gamma transfer characteristic of the liquid crystal drive output voltage of the 4th example of this invention.

[Drawing 37] In the 4th example of this invention, it is the explanatory view of the pixel condition of the liquid crystal display using three kinds of gamma transfer characteristics.

[Drawing 38] It is the explanatory view of the pixel condition of two frames which continue about drawing 37 .

[Drawing 39] They are other configuration block Figs. of the reference voltage generating circuit of the 4th example.

[Description of Notations]

52 -- Gradation display reference voltage generating circuit

53 -- Nonvolatile memory

54 -- gamma amendment equalization circuit

101 -- Source driver

102 -- Gate driver

103 -- Liquid crystal display section

104 -- Liquid crystal mechanical component

105 -- Controller

110 -- Display memory
R0-R7, R-- resistance element

[Translation done.]

(2)

【特許請求の範囲】

【請求項1】 表示データをデジタルーアナログ変換する際に用いる階調表示用の基準電圧を生成する階調表示基準電圧発生回路において、複数レベルの基準電圧を生成する基準電圧生成部と、上記基準電圧の調整量を記憶する補正情報記憶部と、補正情報記憶部に記憶された調整量に基づいて、上記基準電圧を調整する調整部とを備えたことを特徴とする階調表示基準電圧発生回路。

【請求項2】 上記補正情報記憶部が不揮発性メモリによって構成されていることを特徴とする請求項1記載の階調表示基準電圧発生回路。

【請求項3】 請求項1または2記載の階調表示基準電圧発生回路において、前記基準電圧生成部、補正情報記憶部および調整部とが、複数の色成分ごとに、独立して設けられていることを特徴とする階調表示基準電圧発生回路。

【請求項4】 請求項1乃至請求項3のいずれか一つに記載の階調表示基準電圧発生回路を備えたことを特徴とする液晶表示装置。

【請求項5】 表示データをデジタルーアナログ変換する際に用いる階調表示用の複数個の基準電圧を生成する基準電圧生成部と、前記基準電圧について1種類または複数種類の調整量を記憶する補正情報記憶部と、補正情報記憶部に記憶された調整量に基づいて前記生成された基準電圧を調整する調整部と、前記調整部の動作を制御する制御部を備え、制御部が、表示画面の1フレーム内における所定数の走査ラインごとに、異なる種類の調整量を前記補正情報記憶部から読み出して前記調整部に与えることを特徴とする液晶表示装置。

【請求項6】 前記調整部は、表示画面を表示するための走査信号に同期して、与えられる調整量に基づいて基準電圧の調整を行うことを特徴とする請求項5記載の液晶表示装置。

【請求項7】 前記補正情報記憶部が、書き換え可能な不揮発性メモリからなり、前記制御部が、記憶された調整量を書き換えることを特徴とする請求項5または6記載の液晶表示装置。

【請求項8】 前記補正情報記憶部が、正極性電圧を画素に印加する場合の第1調整用データを記憶する第1記憶部と、負極性電圧を画素に印加する場合の第2調整用データを記憶する第2記憶部とからなり、前記基準電圧生成部が、正極性階調表示用の基準電圧を生成する第1電圧発生部と、負極性階調表示用の基準電圧を生成する第2電圧発生部とからなり、前記調整部が、第1記憶部に記憶された第1調整用データに基づいて第1電圧発生部によって生成された基準電圧を調整する第1調整部と、第2記憶部に記憶された第2調整用データに基づいて第2電圧発生部によって生成された基準電圧を調整する第2調整部とからなり、前記制御部から与えられる極性反転信号に基づいて、前記第1調整部および第2調整

2

部から出力される調整後の基準電圧のどちらか一方の基準電圧を選択する選択部をさらに備え、選択された基準電圧に基づいて走査ラインごとに階調補正をすることを特徴とする請求項5記載の液晶表示装置。

【請求項9】 前記第1記憶部と第2記憶部が、1つの書き換え可能な不揮発性メモリによって構成されていることを特徴とする請求項8記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置等に用いられる階調表示基準電圧発生回路、及び、それを用いた液晶表示装置に関する。

【0002】

【従来の技術】階調表示基準電圧発生回路は2つの電圧の中間電圧を作る回路である。例えば、アクティブマトリックス方式の液晶表示装置における液晶駆動部等では、抵抗分割を用いて中間電圧が作られる。そして、抵抗分割用の抵抗には、 γ 補正と呼ばれる抵抗比を持たせており、この抵抗比の比率に応じて液晶材料の光学特性を補正し、より自然な階調表示を実現するようにしている。

【0003】以下に、上記階調表示基準電圧発生回路を備えた液晶表示装置の構成、その液晶表示装置におけるTFT（薄膜トランジスタ）方式の液晶パネルの構成、その液晶駆動波形、および、そのソースドライバの構成について説明する。

【0004】、図11に、アクティブマトリックス方式の代表例であるTFT方式の液晶表示装置のブロック構成を示す。この液晶表示装置は、液晶表示部とそれを駆動する液晶駆動回路（液晶駆動部）とに分かれる。上記液晶表示部は、TFT方式の液晶パネル1を有している。そして、液晶パネル1内には、液晶表示素子（図示せず）と後に詳述する対向電極（共通電極）2とが設けられている。

【0005】一方、上記液晶駆動回路には、IC（集積回路）で成るソースドライバ3およびゲートドライバ4と、コントローラ5と、液晶駆動電源6が搭載されている。ソースドライバ3やゲートドライバ4は、一般的には、配線のあるフィルム上に先のICチップを搭載した、例えばTCP（Tape Carrier Package）を液晶パネルのITO（Indium Tin Oxide；インジウムすず酸化膜）端子上に実装し、接続したり、先のICチップをACF（Anisotropic Conductive Film；異方性導電膜）を介して直接、液晶パネルのITO端子に熱圧着して実装し、接続する方法で構成されている。そして、コントローラ5は、ソースドライバ3に表示データDおよび制御信号S1を入力する一方、ゲートドライバ4には垂直同期信号S2を入力する。さらに、ソースドライバ3およびゲートドライバ4に水平同期信号を入

(3)

3

力する。

【0006】上記構成において、外部から入力された表示データは、上記コントローラ5を介してデジタル信号である表示データDとしてソースドライバ3に入力される。そうすると、ソースドライバ3は、入力された表示データDを時分割して第1ソースドライバ～第nソースドライバにラッチし、その後、コントローラ5から入力される上記水平同期信号に同期してD/A変換する。そして、時分割された表示データDをD/A変換して成る階調表示用のアナログ電圧（以下、階調表示電圧と言う）を、ソース信号ライン（図示せず）を介して、液晶パネル1内における対応する上記液晶表示素子に出力する。

【0007】図12に、上記液晶パネル1の構成を示す。液晶パネル1には、画素電極11、画素容量12、画素電極11への電圧印加をオン・オフ制御するTFT13、ソース信号ライン14、ゲート信号ライン15、対向電極16（図11における対向電極2に相当）が設けられている。ここで、画素電極11、画素容量12およびTFT13によって1画素分の上記液晶表示素子Aが構成される。

【0008】上記ソース信号ライン14には、図11におけるソースドライバ3から、表示対象画素の明るさに応じた上記階調表示電圧が与えられる。一方、ゲート信号ライン15には、ゲートドライバ4から、列方向に並んだTFT13を順次オンするような走査信号が与えられる。そして、オン状態のTFT13を介して、当該TFT13のドレインに接続された画素電極11にソース信号ライン14の階調表示電圧が印加され、上記対向電極16との間の画素容量12に蓄積される。こうして、液晶の光透過率が上記階調表示電圧に応じて変化されて、画素表示が行われる。

【0009】図13および図14に、液晶駆動波形の一例を示す。図13および図14において、21、25はソースドライバ3の駆動波形であり、22、26はゲートドライバ4の駆動波形である。また、23、27は対向電極16の電位であり、24、28は画素電極11の電圧波形である。ここで、液晶材料に印加される電圧は、画素電極11と対向電極16との電位差であり、図中においては斜線で示している。

【0010】例えば、図13の場合は、上記ゲートドライバ4の駆動波形22のレベルが「H」の期間だけTFT13がオンし、ソースドライバ3の駆動波形21と対向電極16の電位23との差の電圧が画素電極11に印加される。その後、ゲートドライバ4の駆動波形22のレベルは「L」となり、TFT13はオフ状態となる。その場合に、画素には画素容量12が存在するために、上述の電圧が維持される。

【0011】図14の場合も同様である。但し、図13と図14とは液晶材料に印加される電圧が異なる場合を

4

示しており、図13の場合は、図14の場合と比べて印加電圧が高くなっている。このように、液晶材料に印加する電圧をアナログ電圧として変化させることによって、液晶の光透過率をアナログ的に変え、多階調表示を実現するのである。尚、表示可能な階調数は、液晶材料に印加されるアナログ電圧の選択肢の数によって決定される。

【0012】図15は、図11におけるソースドライバ3を構成する第nソースドライバのブロック図の一例を示す。入力されたデジタル信号の表示データDは、R（赤）、G（緑）、B（青）の表示データ（DR、DG、DB）を有している。そして、この表示データDは、一旦入力ラッチ回路31にラッチされた後、コントローラ5からスタートパルスSPおよびクロックCKによってシフトするシフトレジスタ32の動作に合わせ、時分割によってサンプリングメモリ33に記憶される。その後、コントローラ5からの水平同期信号（図示せず）に基づいてホールドメモリ34に一括転送される。尚、Sはカスケード出力である。

【0013】階調表示基準電圧発生回路39は、外部基準電圧発生回路（図11における液晶駆動電源6に相当）から供給される電圧VRに基づいて、各レベルの基準電圧を発生する。ホールドメモリ34のデータは、レベルシフト回路35を介してD/A変換回路（デジタル・アナログ変換回路）36に送出され、階調表示基準電圧発生回路39からの各レベルの基準電圧に基づいてアナログ電圧に変換される。そして、出力回路37によって、液晶駆動電圧出力端子38から、上記階調表示電圧として、各液晶表示素子Aのソース信号ライン14に出力される。すなわち、上記基準電圧のレベル数が上記表示可能な階調数となる。

【0014】図16に、上述のような複数の基準電圧を発生して中間電圧を生成する階調表示基準電圧発生回路39の構成を示す。尚、図16における階調表示基準電圧発生回路39は、64通りの基準電圧を発生するようにしている。

【0015】この階調表示基準電圧発生回路39は、V0、V8、V16、V24、V32、V40、V48、V56およびV64で表わされる9個の中間調電圧入力端子と、 γ 補正のための抵抗比を持たせた抵抗素子R0～R7と、各抵抗素子R0～R7の両端間に直列に8個ずつ接続された合計64個の抵抗（図示せず）で構成されている。このように、 γ 補正と呼ばれる抵抗比をソースドライバ3に内蔵し、上記階調表示電圧に変換するための液晶駆動出力電圧に折れ線特性を持たせるようにしている。したがって、上記抵抗比の比率によって液晶材料の光学特性を補正することによって、液晶材料の光学特性に合わせた自然な階調表示を行うことができる。尚、従来の階調表示基準電圧発生回路39における液晶駆動出力電圧の特性例を図17に示す。

(4)

5

【0016】

【発明が解決しようとする課題】しかしながら、上記従来の階調表示基準電圧発生回路においては、以下のような問題がある。すなわち、最適な γ 補正特性（図17に示す液晶駆動出力電圧の折れ線特性）は、液晶材料の種類や液晶パネルの画素数によって異なり、液晶モジュール毎に異なる。そして、ソースドライバ3に内蔵される階調表示基準電圧発生回路39の抵抗分割比は、ソースドライバ3の設計段階において決定されている。したがって、適用する液晶モジュールの液晶材料の種類や液晶

パネルの画素数に応じて γ 補正特性を変更する場合には、その都度ソースドライバ3を作り換えなければならないという問題がある。

【0017】尚、上記外部基準電圧発生回路から中間調電圧入力端子V0～V64に供給される複数の中間調電圧を調整する基準電圧調整手段を設けて、この基準電圧調整手段によって各中間調電圧入力端子V0～V64に供給される中間調電圧を調整する方法も考えられる。しかしながら、上記基準電圧調整手段を設けることによって端子数が増加したり回路規模が大きくなって、製造コストが増加するという問題がある。

【0018】そこで、この発明の目的は、製造コストを増加させることなく液晶材料や液晶パネルの特性に応じてユーザが任意に γ 補正特性を変更できる階調表示基準電圧発生回路、および、それを用いた液晶表示装置を提供することにある。

【0019】また、液晶ディスプレイ（LCD）はコンパクト性、低消費電力性等の特長によってその需要は拡大しつつあり、機能的にも大画面化、高精細化、多階調化に向け商品開発が進められている。しかしながら、LCDはCRT等に対し視野角が狭く、特に上下の視野角が狭く技術課題となっている。例えば、現在、OA用に使われているノーマリーホワイトの透過型TN（ツイストネマティック）方式のLCDは、偏光軸が直交するように配された2枚の偏光板に挟まれた液晶に印加する電圧を変えることで、液晶の配向状態を変え入射側の偏光板で直線偏光された光を楕円偏光させ、出射側の偏光軸方向の光のみ透過させることで輝度を制御している。

【0020】OA用LCDでは、薄膜トランジスタ（TFT）側のガラス基板とカラーフィルター（CF）側のガラス基板とで夫々図18（a）に示すような方向で配向膜にラビング処理を施すことで、その方向に液晶分子を配向させている。電圧を印加しないと液晶は横になった状態で捻れて配向するが、電圧を印加すると液晶は縦方向に配向してくる。液晶分子の長軸方向と短軸方向では屈折率が異なるため、液晶が寝た状態では光の伝播面で屈折率の異方性があるのに対し、立った状態では等方的になる。従って、液晶印加電圧で光の偏光の回転が異なる。この偏光の回転量は液晶分子の屈折率異方性（長軸方向の屈折率－短軸方向の屈折率）と液晶セルのギャ

6

ップの積（リターデーション）で規定される。

【0021】図18（a）の方向で各々ガラス基板をラビング処理を行い液晶分子を配向させると、図18

（b）に示すように液晶分子は捻れるためにリターデーションの異方性が現れる。左右方向は比較的対称な配向のために視野角も比較的広いが、上下方向は液晶分子の配向の非対称性が著しいため視野角が狭くなる。上側からみると液晶分子は横になった状態に見え、下側からみると液晶分子は立ってみえる。その結果、上視野からは黒レベル浮きが顕著となり、下視野からは階調逆転が問題となる。これは特に中間調が多用されるフルカラー品で大きな問題となる。

【0022】このように、従来技術では、LCDの広視野角化のために例えば、一画素を複数の小画素ドットであるサブピクセルに分割させ、更に分割された小画素ドット間に複数の容量を形成し、異なる電圧を印加させる構造のものが一般的に知られているが、この方法においては画素ドットを分割し、更に容量を作るために画素を複数回作成する必要があるため、液晶パネル製造工程が通常のものに比し複雑となり、結果的に歩留りの低下ひいてはコストの増大をもたらす。この発明の目的は、上記目的に加えて、製造工程を複雑化することなく電氣的に視野角の拡大を図った液晶表示装置を提供することである。

【0023】

【課題を解決するための手段】この発明は、表示データをデジタル－アナログ変換する際に用いる階調表示用の基準電圧を生成する階調表示基準電圧発生回路において、複数レベルの基準電圧を生成する基準電圧生成部と、上記基準電圧の調整量を記憶する補正情報記憶部と、補正情報記憶部に記憶された調整量に基づいて、上記基準電圧を調整する調整部とを備えたことを特徴とする階調表示基準電圧発生回路を提供するものである。この構成によれば、補正情報記憶部の記憶情報を書きかえるだけで基準電圧を変更できるので、液晶材料や液晶表示装置の特性に合わせて、ユーザが容易に基準電圧を調整することが可能となる。

【0024】また、上記補正情報記憶部は、不揮発性メモリによって構成されることが好ましい。これによれば、ユーザが調整した前回の補正状態を次の表示にそのまま適用することができる。さらに、前記した階調表示基準電圧発生回路の基準電圧生成部、補正情報記憶部および調整部とを、複数の色成分ごとに、たとえば、赤、緑、青の色ごとに独立して設けるようにしてもよい。これによれば、色ごとに独立して基準電圧を調整できるので、表示パネルの表示品位をきめ細かく制御できる。

【0025】また、この発明の階調表示基準電圧発生回路は、特性の異なる液晶表示装置に対しても、同じ構成のものを採用することができるので、液晶表示装置の部品の共通化が図れ、製造コストを下げることができる。

(5)

7

【0026】また、この発明は、表示データをデジタル・アナログ変換する際に用いる階調表示用の複数の基準電圧を生成する基準電圧生成部と、前記基準電圧について1種類または複数種類の調整量を記憶する補正情報記憶部と、補正情報記憶部に記憶された調整量に基づいて前記生成された基準電圧を調整する調整部と、前記調整部の動作を制御する制御部を備え、制御部が、表示画面の1フレーム内における所定数の走査ラインごとに、異なる種類の調整量を前記補正情報記憶部から読み出して前記調整部に与えることを特徴とする液晶表示装置を提供するものである。また、調整部は、表示画面を表示するための走査信号に同期して、与えられる調整量に基づいて基準電圧の調整を行うようにしてもよい。これによれば、所定数の走査ラインごとに基準電圧を調整できるので、よりきめ細かく視野角を調整できる。

【0027】ここで走査ラインとは、いわゆるゲート信号ラインを意味する。また、所定数の走査ラインごととは、一走査ラインごとでもよくまた、任意の複数本の走査ラインごとでもよい。制御部は、MPU（マイクロプロセッシングユニット）のようなコントローラLSIを用い、補正情報記憶部に記憶された調整量を書き換えるようにしてもよい。この書き換えを可能とすることにより、よりきめ細かく、視野角を広げるように調整することが可能となる。

【0028】さらに、この発明は、前記補正情報記憶部が、正極性電圧を画素に印加する場合の第1調整用データを記憶する第1記憶部と、負極性電圧を画素に印加する場合の第2調整用データを記憶する第2記憶部とからなり、前記基準電圧生成部が、正極性階調表示用の基準電圧を生成する第1電圧発生部と、負極性階調表示用の基準電圧を生成する第2電圧発生部とからなり、前記調整部が、第1記憶部に記憶された第1調整用データに基づいて第1電圧発生部によって生成された基準電圧を調整する第1調整部と、第2記憶部に記憶された第2調整用データに基づいて第2電圧発生部によって生成された基準電圧を調整する第2調整部とからなり、前記制御部から与えられる極性反転信号に基づいて、前記第1調整部および第2調整部から出力される調整後の基準電圧のどちらか一方の基準電圧を選択する選択部をさらに備え、選択された基準電圧に基づいて走査ラインごとに階調補正をすることを特徴とする液晶表示装置を提供するものである。これによれば、正極性および負極性の電圧を印加する走査ラインごとに視覚による色変化の適切な補正をすることができる。

【0029】

【発明の実施の形態】以下、図面に示す実施の形態に基づいてこの発明を詳述する。なお、これによってこの発明が限定されるものではない。

<第1実施例>図1に、この発明の階調表示基準電圧発生回路を備えたソースドライバの第1実施例の構成プロ

8

ック図を示す。また、図2に、このソースドライバ101を用いた液晶表示装置の一実施例の概略構成図を示す。図2において、液晶表示装置は、液晶表示部103と、液晶駆動部104とから構成される。また、液晶駆動部104は、ソースドライバ101、ゲートドライバ102、コントローラ105などから構成される。

【0030】コントローラ105は、従来と同様にソースドライバ101に表示データと制御信号を入力し、ゲートドライバ102に垂直同期信号を入力すると共に、ソースドライバ101およびゲートドライバ102に水平同期信号を入力する。そして、入力された表示データは時分割して各ソースドライバに与えられ、水平同期信号に同期してD/A変換されて、所定の階調表示電圧として液晶表示素子に出力される。

【0031】図1に示すように、ソースドライバ101は、シフトレジスタ回路32、データラッチ回路31、サンプリングメモリ回路33、ホールドメモリ回路34、レベルシフト回路35、DAコンバータ回路36、及び出力回路37、階調表示基準電圧発生回路52から構成されている。以下に、このソースドライバ101の動作を、初段の第1ソースドライバS(1)を用いて説明する。

【0032】シフトレジスタ回路32は、スタートパルス入力信号SSPIをシフト、すなわち転送する回路である。信号SSPIは図示しないコントローラ105の端子SSPIから出力され、ソースドライバ101の入力端子SSP_{in}に入力され、表示用データ信号R・G・Bの水平同期信号と同期がとられた信号である。このスタートパルス入力信号SSPIは、コントローラ105の端子SCKから出力され、かつソースドライバ1の入力端子SCK_{in}に入力されるクロック信号SCKによってシフトされる。このシフトレジスタ回路32にてシフトされたスタートパルス入力信号SSPIは、例えば8個使いにおいては図2の8段目の第8ソースドライバS(8)におけるソースドライバ1のシフトレジスタ回路32にまで順次転送される。

【0033】一方、コントローラ105の端子R1～R6・端子G1～G6・端子B1～B6から出力されるそれぞれ6ビットの表示用データ信号R・G・Bは、クロック信号/SCK（クロック信号SCKの反転信号）の立ち上がりで同期を取って、ソースドライバ1の入力端子R1_{in}～R6_{in}・入力端子G1_{in}～G6_{in}・入力端子B1_{in}～B6_{in}にそれぞれシリアルに入力され、データラッチ回路31にて一時的にラッチされた後、サンプリングメモリ回路33に送られる。

【0034】サンプリングメモリ回路33は、上記シフトレジスタ回路32の各段の出力信号により、時分割で送られてくる表示用データ信号（R・G・B各6ビットの計18ビット）をサンプリングし、ホールドメモリ回路34にコントローラ105から出力されたラッチ信号

50

(6)

9

L Sがソースドライバ1の端子L Sに入力されるまで、それぞれ記憶している。

【0035】そして、ホールドメモリ回路34では、サンプリングメモリ回路33より入力される表示用データ信号を、表示用データ信号R・G・Bの1水平期間分の表示用データ信号が入力された時点でラッチ信号L Sにてラッチし、次の1水平期間分の表示用データ信号がサンプリングメモリ回路33からホールドメモリ回路34に入力されるまでの間保持し、その後、レベルシフタ回路35へ出力する。

【0036】階調表示基準電圧発生回路52は、後述するように赤、緑、青色用の液晶駆動電圧出力端子に対し、64通りの基準電圧を作成し階調表示用の中間電圧を生成するものである。この回路52に入力されるVRは、外部の液晶駆動電源から供給される電圧であり、UPは、外部の制御装置などのユーザプログラムによって与えられるデジタルデータである。

【0037】この発明の階調表示基準電圧発生回路52には、 γ 補正のための調整データが記憶される不揮発性メモリ53が備えられている。

【0038】DAコンバータ回路36は、ホールドメモリ回路34より入力され、レベルシフタ回路35にて変換されたRGBそれぞれ6ビットの表示用データ信号(デジタル)を64通りの中間電圧に基づいて、アナログ信号に変換して出力回路37に出力する。出力回路37は、64レベルのアナログ信号を増幅し、出力端子38のX0-1~X0-128・Y0-1~Y0-128・Z0-1~Z0-128から液晶パネルへ階調表示電圧として出力する。上記出力端子X0-1~X0-128・Y0-1~Y0-128・Z0-1~Z0-128は、それぞれ表示用データ信号R・G・Bに対応するもので、X0、Y0、Z0それぞれ共に128個の端子からなる。また、ソースドライバ101の端子VCC及び端子GNDは、コントローラ回路の端子VCC及びGNDと接続される電源供給用の端子であって、それぞれ電源電圧と、グランド電位が供給される。

【0039】図3に、この発明の階調表示基準電圧発生回路52の構成ブロック図を示す。本実施の形態における階調表示基準電圧発生回路52は、図16に示す従来の階調表示基準電圧発生回路39の場合と同様に、64通りの基準電圧を作成し中間電圧を生成するものを示すが、これに限られるものではない。

【0040】本実施の形態における階調表示基準電圧発生回路52は、最下位電圧入力端子V0と最上位電圧入力端子V64との2本の電圧入力端子と、基準となる γ 補正を行なうための抵抗比を有する8個の抵抗素子R0~R7と、この抵抗素子R0~R7によって得られた γ 補正後の各基準電圧を一定の範囲で電圧を上下に微調整する γ 補正調整回路54と、この γ 補正調整回路54を液晶材料や液晶パネルの特性に応じて任意にプログラム

10

UP等により γ 補正特性を微調整する際に補正情報を格納するための不揮発性メモリ53を有している。この実施例において、抵抗素子(R0~R7)が基準電圧生成部に相当し、不揮発性メモリ53が補正情報記憶部に相当し、 γ 補正調整回路54が調整部に相当する。

【0041】さらに、最下位電圧入力端子V0と γ 補正調整回路54の出力端子との間、各 γ 補正調整回路54の出力端子間、 γ 補正調整回路54の出力端子と最上位電圧入力端子V64との間に直列に8個ずつ接続された合計64個の抵抗(図示せず)を有している。

【0042】上記構成を有するために、図16に示す従来の階調表示基準電圧発生回路39のように、9本の間調電圧入力端子V0~V64を設ける必要はなく、上記中間電圧を当該階調表示基準電圧発生回路52内で生成し調整することができる。

【0043】図4は、上記 γ 補正調整回路54の構成を示す概略ブロック図である。 γ 補正調整回路54は、電圧降下を発生させるための1つの抵抗素子Rと、2個の定電流源44、45と、バッファアンプ46で構成される。そして、抵抗素子Rに電流を流すことによる電圧降下を利用して、入力された電圧を一定の電圧だけ上下にシフトすることによって出力電圧を調整する。このような構成を有する γ 補正調整回路54は、次のように動作する。

【0044】すなわち、上記 γ 補正調整回路54の入力端子47に、例えば基準となる電圧Vrefが供給される。そして、基準電圧Vrefよりも高い出力電圧あるいは低い出力電圧を得る場合には、定電流源44、45によって抵抗素子Rに流れる電流を変化させ、抵抗素子Rによる電圧降下を利用して、入力された電圧を抵抗素子Rでの電圧降下の分だけ上または下にシフトした電圧Voutを出力端子48から出力するのである。

【0045】つまり、上記基準電圧Vrefよりも高い出力電圧Voutを得る場合には、
$$V_{out} = V_{ref} + i \cdot R$$
になるように、また、基準電圧Vrefよりも低い出力電圧Voutを得る場合には、
$$V_{out} = V_{ref} - i \cdot R$$
になるように、 γ 補正調整回路54によって電圧を調整するのである。

【0046】図5は、上記基準電圧Vrefよりも高い出力電圧Voutを得る場合(図5(a))、および、基準電圧Vrefよりも低い出力電圧Voutを得る場合(図5(b))に、定電流源44、45の動作によって抵抗素子Rを流れる電流が変化した状態を示す。この場合、図5(a)に示すように、抵抗素子Rよりも入力端子47側にある定電流源44を接地し、出力端子48側にある定電流源45を電源に接続することによって、抵抗素子Rには定電流源45から定電流源44に向う正の向きの電流iが流れる。その結果、入力端子47から

(7)

11

基準電圧 V_{ref} が入力された場合の出力端子 48 からの出力電圧 V_{out} は、基準電圧 V_{ref} よりも抵抗素子 R での電圧降下の分だけ高い

$$V_{out} = V_{ref} + i \cdot R$$

となる。

【0047】一方、図5(b)に示すように、上記定電流源 44 を電源に接続し、定電流源 45 を接地することによって、抵抗素子 R には定電流源 44 から定電流源 45 に向う負の向きの電流 i が流れる。その結果、入力端子 47 から基準電圧 V_{ref} が入力された場合の出力端子 48 からの出力電圧 V_{out} は、基準電圧 V_{ref} よりも抵抗素子 R での電圧降下の分だけ低い

$$V_{out} = V_{ref} - i \cdot R$$

となるのである。

【0048】そして、個々の上記 γ 補正調整回路 54 における各定電流源 44、45 に関して、電流値を複数值に切り換え可能にし、さらに接地と電源への接続とを切り換え可能にし、上記夫々の切り換えを不揮発性メモリ 53 に記憶された調整用データに基づいて制御することによって、抵抗素子 $R_0 \sim R_7$ で得られた γ 補正電圧を微調整するのである。こうして微調整された各基準電圧間の電圧が、さらに上記 64 個の抵抗のうちの 8 個によって 8 等分されて、D/A 変換回路 36 に送出されるのである。

【0049】図6は、上記各定電流源 44、45 に関する電流値の切り換えおよび接地/電源の接続切り換えを実現する γ 補正調整回路 54 の定電流源部の回路構成を示す。この定電流源部は、電源に接続されると共に、 n を正の整数として、 $2^{(n-1)}$ で重み付けされた電流 $2^{(n-1)}i$ を発生する 5 個の定電流源 $i, 2i, 4i, 8i, 16i$ を有する。そして、夫々の定電流源 $2^{(n-1)}i$ は、 $+2^{(n-1)}$ の制御信号によってオンするスイッチ $+2^{(n-1)}$ を介して、抵抗素子 R の一端および出力端子 48 に接続されている。さらに、 $-2^{(n-1)}$ の制御信号によってオンするスイッチ $-2^{(n-1)}$ を介して、抵抗素子 R の他端および入力端子 47 に接続されている。

【0050】同様に、接地されると共に、上記 $2^{(n-1)}$ で重み付けされた電流 $2^{(n-1)}i$ を発生する 5 個の定電流源 $i, 2i, 4i, 8i, 16i$ を有する。そして、夫々の定電流源 $2^{(n-1)}i$ は、 $+2^{(n-1)}$ の制御信号によってオンするスイッチ $+2^{(n-1)}$ を介して、抵抗素子 R の上記他端および入力端子 47 に接続されている。さらに、 $-2^{(n-1)}$ の制御信号によってオンするスイッチ $-2^{(n-1)}$ を介して、抵抗素子 R の上記一端および出力端子 48 に接続されている。

【0051】つまり、上記スイッチ $+2^{(n-1)}$ またはスイッチ $-2^{(n-1)}$ を介して入力端子 47 に接続された定電流源 $2^{(n-1)}i$ は図5における定電流源 44 として機能し、スイッチ $+2^{(n-1)}$ あるいはスイッチ $-2^{(n-1)}$ を介して出力端子 48 に接続された定電流源 $2^{(n-1)}i$ は

12

図5における定電流源 45 として機能するのである。そして、不揮発性メモリ 53 に記憶されている 2 の補数表現による符号付 2 進数の多ビットデジタルデータである調整用データに基づいて、各スイッチ $+2^{(n-1)}$ およびスイッチ $-2^{(n-1)}$ のオン/オフを制御することによって、定電流源 44、45 に関する電流値の切り換えおよび電源/接地の接続切り換えを実現するのである。

【0052】こうすることによって、上記抵抗素子 R を流れる電流の値と方向とを変化させることができ、入力電圧 V_{in} に対して抵抗素子 R に流れる電圧降下の分だけ上にまたは下に複数段にシフトした電圧 V_{out} を出力することができるのである。以下、具体例を挙げて説明する。

【0053】以下の説明は、上記調整用データが 6 ビットデータであるとして行う。このような 6 ビットで表わされる調整用データに基づく調整は、 γ 補正值に対する調整を $-32 \sim +31$ の 64 段階で行うことを可能にする。

【0054】図6において、上記定電流源 $i, 2i, 4i, 8i, 16i$ の夫々は、 $2^{(n-1)}$ で重み付けされた電流値 $i, 2i, 4i, 8i, 16i$ を発生する。また、上記各スイッチ $+2^{(n-1)}$ およびスイッチ $-2^{(n-1)}$ は、不揮発性メモリ 53 に格納された γ 補正情報の調整データに基づいてオンあるいはオフされる。以下、6 ビットの調整用データに基づく γ 補正調整回路 54 の動作を説明する。

【0055】第1の場合として、上記調整用データが「 $+1: (000001)$ 」の場合について述べる。この場合には 2 つのスイッチ $+2^0$ のみがオンし、他の総てのスイッチはオフする。この状態は、図5(a)と同じである。つまり、抵抗素子 R に流れる電流 I_{total} は定電流源 i と同じであり、電流の向きは上記正である。したがって、出力電圧 V_{out} は入力された基準電圧 V_{in} よりも抵抗素子 R での電圧降下分だけ上昇し、

$$V_{out} = V_{in} + i \times R$$

の出力電圧が得られる。これは、入力基準電圧 V_{in} よりも $(i \times R)$ だけ高い電圧である。

【0056】また、他の場合として、上記調整データが「 $-9: (101001)$ 」の場合について説明する。この場合には、2 つのスイッチ -2^3 および 2 つのスイッチ -2^0 の合計 4 つのスイッチがオンし、他の総てのスイッチはオフする。この状態は、図5(b)と同じである。つまり、抵抗素子 R に流れる電流 I_{total} は定電流源 i と定電流源 $8i$ との電流の和である $9i$ となり、電流の向きは上記負である。したがって、出力電圧 V_{out} は入力された基準電圧 V_{in} よりも抵抗素子 R での電圧降下分だけ下降し、

$$V_{out} = V_{in} - 9i \times R$$

の出力電圧が得られる。これは、入力基準電圧 V_{in} よりも $(i \times R)$ の 9 倍だけ低い電圧である。

50

(8)

13

【0057】他の調整用データの場合においても、上述の動作に準じて、夫々のスイッチ+2⁽ⁿ⁻¹⁾、-2⁽ⁿ⁻¹⁾をオンまたはオフすることによって、入力基準電圧V_{in}を中心として、1段階当り(i×R)の電圧で-32～+31の範囲内で64段階に電圧調整を行うことができる。

【0058】すなわち、上記調整用データとして2の補数表現による符号付2進数の多ビットデジタルデータを用いることによって、そのビット番号nと抵抗素子Rに流す電流値の重み(倍率)2⁽ⁿ⁻¹⁾とをスイッチ+2⁽ⁿ⁻¹⁾、-2⁽ⁿ⁻¹⁾を介して対応付けることができる。したがって、不揮発性メモリ53に記憶されたγ補正情報の調整データに応じた倍率の調整量を得ることができることになる。つまり、調整データによって上記基準値の調整量を簡単に指定することができる。

【0059】このように、上記不揮発性メモリ53に記憶されたγ補正情報の調整データに応じてスイッチ+2⁽ⁿ⁻¹⁾、-2⁽ⁿ⁻¹⁾をオン/オフすることによって、入力電圧に対して調整用データに基づく調整を行った電圧を出力することができ、この調整を抵抗素子R₀～R₇に基づくγ補正值に適用することによって、図7に示すように、液晶駆動出力電圧の特性を、抵抗素子R₀～R₇に基づく補正值を中心として上記調整用データに基づいて上下に変更することができる。

【0060】次に、不揮発性メモリ53に記憶される情報について説明する。図8に、この発明の不揮発性メモリ53に記憶されるγ補正用の調整データの一実施例を示す。記憶される情報は、格納アドレス、階調表示データ220、および調整データからなる。図8の格納アドレスとは、不揮発性メモリ53のアドレスであり、これは、出力データを意味する。階調表示データ220は、γ補正調整回路54に出力される補正後の階調表示データである。調整データは、ある階調表示データに対する設定値であり、外部の制御装置に組み込まれたユーザプログラムにより書き替えられる。

【0061】図9に階調基準電圧発生回路52の抵抗分割比の設計段階において決定されたγ補正特性210の一実施例を示す。ここで、縦軸は、不揮発メモリ53の格納アドレスであり、横軸は階調表示データを示している。縦軸の格納アドレスは、不揮発性メモリ53から出力される出力データに対応している。たとえば、図9のK点のγ補正特性210は、出力データが23H(16進数)で、階調表示データが10H(16進数)である。ここで、この出力データのレベルを23Hから25Hに補正する場合を考える。

【0062】まず、図8に示すように、たとえば補正後の出力データに対応する不揮発性メモリ53の格納アドレス25Hに、調整データとして、「+1(2進数:000001)」を予め格納しておく。同様に、6ビットのデジタル表示データのビット列のすべての組合せ

14

に対応するアドレス(00Hから3FH)のそれぞれに、補正したい調整データを格納する(図8参照)。

【0063】この格納処理は、ユーザが外部制御装置のユーザプログラムを動作させることにより容易に行うことができる。すなわち、ユーザ自身が簡単な操作をするだけで、γ補正のための調整量を容易に変更することができる。このように、γ補正特性をユーザが容易に変更できれば、表示状態を最適化するための評価作業を効率化することができる。

【0064】図9に、図8に示したような不揮発性メモリ53に格納された調整データに基づいて、出力データを変更した後のγ補正特性220を示す。この不揮発性メモリ53としては、電源を切断しても一度記憶したデータが保持されるように、フラッシュメモリ、OTP、EEPROM、FeRAM(強誘電体メモリ)を用いることができる。

【0065】<第2実施例>図10に、この発明の階調表示基準電圧発生回路を用いたソースドライバの第2実施例の構成ブロック図を示す。この実施例では、色再現性の向上を目的として、赤(R)、緑(G)、青(B)の各色ごとに、独立してγ補正をする回路を備えることを特徴とする。

【0066】図1の第1実施例では、唯一つの階調表示基準電圧発生回路52を設けていたが、この第2実施例では、図10に示すように、3つの階調表示基準電圧発生回路(R用52-1、G用52-2、B用52-3)を設ける。不揮発性メモリ53は、第1実施例と同様に、各階調表示基準電圧発生回路の内部にそれぞれ別個に設けてもよいが、1つの不揮発性メモリ53のみを設けて、これにR、G、Bすべての色についての調整データを格納するようにしてもよい。

【0067】また、図10に示したシフトレジスタ回路32等の他の構成要素は、図1に示した第1実施例と同様であり、ソースドライバとしての各回路の動作も同様である。ただし、色ごとに、図8に示したような調整データが不揮発性メモリ53に記憶され、3つの階調表示基準電圧発生回路(52-1、52-2、52-3)により、各色ごとに64通りの基準電圧がDAコンバータ回路36に与えられる点が異なる。これによれば、各色ごとに独立してγ補正をすることができるので、より適切な階調による画像表示をすることができる。

【0068】なお、不揮発性メモリ53は、前記したようにソースドライバに内蔵する場合の他、ソースドライバ外部の表示駆動部のコントローラ5等に設けてもよく、回路設計時に他の回路との配置を考慮して配置することができる。また、ソースドライバごとに不揮発性メモリを設けた場合、液晶表示装置の画面内での特性のバラツキ(たとえば、画面の左右の階調ムラ)があっても微調整が可能であり、特に大画面の表示装置において有効である。

(9)

15

【0069】＜第3実施例＞上記実施例では、 γ 補正のための調整用データを、階調表示基準電圧発生回路52の中の不揮発性メモリー53の中に格納していたが、ここでは、階調表示基準電圧発生回路52とは異なり、ソースドライバ101内に設けられた「表示メモリ」に格納し、ゲート信号ライン15ごとに、階調表示基準電圧発生回路52の中の γ 補正調整回路54を調整する場合について説明する。以下、ゲート信号を、走査ラインまたは行とも称する。

【0070】図19に、この発明の第3実施例の液晶表示装置1の構成ブロック図を示す。ここでは、主な構成要素および信号経路のみ図示し、電源回路、クロック信号、リセット信号、セレクト信号等の本発明に直接関係しない回路および信号は省略している。この発明の液晶表示装置1は、液晶パネル103、ソースドライバ101、ゲートドライバ102、コントローラ105とを備える。コントローラ105としては、MPU（マイクロプロセッサユニット）を用いることができる。このMPU105が、制御部に相当する。

【0071】液晶パネル103は、m本のソース電極およびn本のゲート電極に形成される水平方向m画素×垂直方向n画素のTFT（薄膜トランジスタ）方式の画素を有する液晶パネルである。なお、以下では水平方向1ラインの画素の配列を「行」と称し、垂直方向1ラインの画素の配列を「列」と称する。ここでは、 $m=1028 \times \text{RGB}$ 、 $n=900$ であり、各画素において第0階調～第63階調の64階調（6ビット）の階調表示を行なうものとする。各行には、R（赤）、G（緑）、B（青）それぞれを表示する画素が繰り返し配列されているものとする。したがって、各行にはRGBの各画素がそれぞれm/3画素含まれていることになる。

【0072】液晶パネル103には、ソースドライバ101およびゲートドライバ102が接続されており、ソースドライバ101およびゲートドライバ102はコントローラ（MPU）105に接続されている。ソースドライバ101は、主として、主要回路部120、入出力回路121、周辺回路部122、および表示メモリ110とから構成される。

【0073】表示メモリ110は、特に制限されないが、水平方向M画素×垂直方向N画素分の表示データを格納できるよう構成されている。表示メモリ110に格納される表示データは、例えば、キャラクタデータや静止画面データ等であり、表示データD1と切り替えて、もしくは重ね合わせて液晶画面に出力されるもので、1画面分でも良いし複数画面分でも良いし、あるいは、ウィンドウ表示部用でも良い。この場合、図19には図示していないが、ホールドメモリ34の前段もしくは後段に切り替えスイッチを設け、表示メモリ110からのデータとMPU105からの表示データとを切り替える。表示メモリ110には、さらに γ 補正データも格納され

16

る。以後、この γ 補正調整用データD2にのみ注目して記載する。

【0074】表示メモリ110は種類は問わないが、フラッシュメモリ、OTP、EEPROM、FeRAM等（強誘電体メモリ）の一度記憶した補正データは電源が遮断されても保持する不揮発性メモリから構成されるのが望ましい。ただし、表示データが固定データとして提供される場合、表示メモリとしてROM構造のメモリを用いてもよい。また、表示メモリ110は、ソースドライバ101の中に内蔵してもよく、また外付けとしてもよい。

【0075】ソースドライバ101の周辺回路部122は、コマンドデコーダ111、Xアドレスデコーダ（コラムデコーダ）112、およびYアドレスデコーダ（ロウデコーダ）113を含んでいる。また、ソースドライバの主要回路部120は、第1実施例の図1に示した回路ブロックにほぼ対応し、データラッチ回路31、階調表示基準電圧発生回路52（以後、基準電圧発生回路と称す）、シフトレジスタ32と、サンプリングメモリ33、ホールドメモリ34、レベルシフト回路35、D/Aコンバータ回路36、および出力回路37を含んでいる。

【0076】この主要回路部120には、MPU105を介して、液晶パネル103の画面に表示される表示データD1がシリアルに入力され、まず、データラッチ回路31で一時的にラッチされる。シフトレジスタ32の各段の出力信号に基づいて、ラッチされた表示データD1が、サンプリングメモリ回路33によってサンプリングされ、ホールドメモリ回路34の対応する段に出力される。

【0077】また、ホールドメモリ34は、液晶パネル103における各行に含まれる第1～第mの画素、つまり第1～第mのソース電極線にそれぞれ対応している。ホールドメモリ34に入力された表示データは、水平同期信号Hによりラッチがかけられ、次の水平同期信号Hが入力されるまでにホールドメモリ34から出力される表示データは固定される。ホールドメモリ34から出力される表示データは、レベルシフト回路35で次段のD/Aコンバータ回路36の信号処理レベルに合わせるための昇圧等のレベル変換が施され、D/Aコンバータ回路36に入力される。

【0078】基準電圧発生回路52には、例えば、画素に付与すべき電圧の最大電圧E1および最小電圧E2が図示しない電源回路から入力される。基準電圧発生回路52は、最大電圧E1と最小電圧E2との電位差を内部で分圧することにより、64階調表示の場合、64種類の階調表示用電圧を発生し、D/Aコンバータ回路36に対して出力する。D/Aコンバータ回路36では、レベルシフト回路35からの表示データに応じた階調表示用電圧を上記64種類の階調表示用電圧の中から画素ご

(10)

17

とに1つ選択し、出力回路37に対して出力する。

【0079】出力回路37は差動増幅器等からなる低インピーダンス変換部であり、出力回路37から液晶パネル103の第1～第mのソース電極それぞれに対して、D/Aコンバータ回路36で選択された階調表示用電圧が付与される。この階調表示用電圧は、水平同期信号Hの1周期、つまり1水平同期期間維持され、次の水平同期期間は新たな表示データに応じた階調表示用電圧が出力される。

【0080】一方、ゲートドライバ102は、シフトレジスタ114、レベルシフタ115、および出力回路116を含んでいる。ゲートドライバ102は、シフトレジスタ114にMPU105から水平同期信号Hおよび垂直同期信号Vが入力され、水平同期信号Hをクロックとして垂直同期信号Vをシフトレジスタ114内の各段で順次転送させる。

【0081】シフトレジスタ114の各段からの出力は、液晶パネル103における各列に含まれる第1～第nの画素、つまり第1～第nのゲート電極線にそれぞれ対応している。シフトレジスタ114の各段からの出力は、レベルシフタ115でレベル変換されることにより各画素が有するTFTのゲートを制御できる電圧まで昇圧され、出力回路116で低インピーダンス変換されて、出力回路116から液晶パネル103の第1～第nのゲート電極それぞれに対して出力される。このゲートドライバ102からの出力が走査信号となり、液晶パネル103の各画素のTFTのゲートのオン/オフを制御する。

【0082】これにより、走査信号で選択された1本のゲート電極にゲートが接続されているTFTがオンされる。そして、1水平同期期間ごとにゲート電極が順次選択されることで、オンされるTFTを有する画素が順次垂直方向に移動する。走査信号により選択されてTFTがオンされた画素では、その画素に備えられた画素容量にソース電極から階調表示用電圧が付与されることで、その電位に応じて画素容量が充電され、TFTがオフとなると画素容量にて電位が保持されることで画素における階調表示がなされる。

【0083】MPU105は、ソースドライバ101に対して、水平同期信号H、スタートパルス信号S、表示データD1および制御信号Cを与える。制御信号Cは、MPU105から、入出力回路121を介して、コマンドデコーダ111に与えられる信号であり、例えば2進nビットのようなデータから構成されるものである。コマンドデコーダ111では、この制御信号Cを解析することにより、読出しや書き込み命令がデコードされ、さらにXアドレスデコーダ112、Yアドレスデコーダ113により表示メモリ110の所望のアドレスが選択され、該アドレスのデータが読み出されたり、書換えられたりする。

18

【0084】入出力回路121は、MPU105とのインターフェイスおよび入出力バッファとして機能する。MPU105は制御信号Cにより、表示メモリ110に記憶された調整量に基づいて、ガンマ特性を1フレーム内の任意のラインのみ調整する調整用データD2の読み出しをすることを指示する。

【0085】以下に、この発明の第3実施例のソースドライバ101の主要回路部120の動作について説明する。まず、通常モード（全画面表示）について説明する。通常モード時には、MPU105から送られてくる表示データD1は各画素に対応する6ビットの値を有しており、データラッチ回路31にて一旦ラッチされる。一方、シフトレジスタ32は、MPU105からスタートパルス信号Sをシフト、すなわち転送する。このスタートパルス入力信号Sは、MPU105の端子から出力され、図示しないソースドライバ101のクロック信号によってシフトされる。このシフトレジスタ32にてシフトされたスタートパルス信号Sは、例えばソースドライバ101が8個縦続接続されているとすれば、8段目の第8ソースドライバのシフトレジスタ32にまで順次転送される。

【0086】シフトレジスタ32から出力回路37までの各ブロックは、液晶パネル103の第1～第mのm本のソース電極線に対応して第1～第mのm段となっている。このシフトレジスタ32の各段からの出力に同期して、データラッチ回路31にラッチされていた表示データD1が、サンプリングメモリ33の対応する段に一旦記憶されるとともに、次のホールドメモリ34の対応する段に出力される。

【0087】ホールドメモリ34は、1水平同期期間のm個の表示データD1がサンプリングメモリ33から入力されると、MPU105からの水平同期信号H（ラッチ信号ともいう。）により、サンプリングメモリ33から表示データD1を取り込み、次のレベルシフタ回路35に出力する。そして、ホールドメモリ34は、次の水平同期信号Hが入力されるまでこの表示データD1を維持する。

【0088】MPU105は、1水平同期信号毎に表示データD1をデータラッチ回路31に対して繰り返し送る。これにより、液晶パネル103に対して周期的に表示データD1に応じた電圧が書き込まれ、液晶パネル103における液晶表示が維持される。また、MPU105が、制御信号Cにより、表示メモリ110からの調整用データD2の読み出しを指示すると、調整用データ（D2）が該表示メモリ110から読み出され、基準電圧発生回路52に入力される。

【0089】基準電圧発生回路52には、制御信号Cにより表示メモリ110から読み出された調整用データ（D2）が入力され、第1実施例と同様に赤、緑、青色用の液晶駆動電圧出力端子に対し、64通りの基準電圧

50

(11)

19

を作成し階調表示用の中間電圧を生成する。

【0090】D/A変換回路36は、ホールドメモリ34より入力されかつレベルシフト回路35にて変換されたRGBそれぞれ6ビットの表示データ信号（デジタル）を、基準電圧発生回路52から与えられる64通りの中間電圧に基づいて、アナログ信号に変換して出力回路37に出力する。出力回路37は、64レベルのアナログ信号を増幅し、液晶パネル103へ階調表示電圧として出力する。

【0091】図20に、この発明の第3実施例の基準電圧発生回路52の構成ブロック図を示す。第1実施例の図3では、補正情報を格納した不揮発性メモリ53を基準電圧発生回路52に設けていたが、第3実施例では、不揮発性メモリ53の代わりに、主要回路部120の外に表示メモリ110を設ける。そしてこの表示メモリ110に記憶された調整用データD2が読み出され、基準電圧発生回路52の各 γ 補正調整回路52に与えられる。

【0092】ここで、調整用データD2は、基準電圧発生回路52内部のメモリに固定的に記憶されるのではなく、基準電圧発生回路52の外部の表示メモリ110に記憶されているので、ゲート信号ラインごとにMPU105からの制御信号Cによって書き換えることができる点が第1実施例と異なる。また、複数種類の調整用データD2を表示メモリ110に予め記憶しておき、制御信号Cにより、読み出すべき調整用データD2の種類をゲート信号ラインごとに異ならせることにより、ゲート信号ラインごとに γ 補正の微調整をすることができる。

【0093】図20に示した基準電圧発生回路52において、2つの電圧入力端子V0、V64、8つの抵抗素子R0～R7、 γ 補正電圧を生成するガンマ補正調整回路54を有すること等の回路構成は、第1実施例の図3と同様である。また、 γ 補正調整回路54の回路構成、定電流源部の回路構成や動作については、第1実施例の図4、図5および図6と同様である。ただし、第1実施例では、不揮発性メモリ53に記憶された調整用データに基づいて、図6に示したスイッチのオン/オフ制御をしていたが、第3実施例では、表示メモリ110から与えられる調整用データ（D2）に基づいて図6に示したスイッチのオン/オフ制御をする（図21参照）。

【0094】このように、表示メモリ110に格納された調整用データ（D2）に応じて、スイッチ+2(n-1)、-2(n-1)をオン/オフすることによって、入力電圧に対して調整用データに基づく調整を行った電圧を出力することができる。さらに、表示メモリ110に、2種類の調整用データを記憶させておき、走査信号に同期を取り、ゲート信号ラインごとに所望の調整用データD2を出力し調整を切り替えることにより、2種類の γ 補正の調整が可能となる。

【0095】この調整を抵抗素子R0～R7に基づく γ

20

補正値に適用することによって、図22に示すように、液晶駆動出力電圧の特性として、抵抗素子R0～R7自体に基づく補正値（ガンマ変換特性 γ_1 ）を中心にして、上記調整用データによって調整された上下2つのガンマ変換特性 γ_2 を得ることができる。すなわち2種類のガンマ変換特性（ γ_1 、 γ_2 ）を得ることができる。

【0096】後述する図23に示したようなドット反転駆動方式では、1フレーム内において、所定のラインのみ異なるガンマ特性を持たせることができるので、視野角が最適視野になるよう表示特性を変えることができる。この場合の表示メモリ110の読み出しの制御は、MPU105から直接、走査信号に同期した切り替え信号を表示メモリ110に出力しても良い。あるいは、コマンドデコーダ24内にメモリ領域を備え、例えば、走査信号線 $n_i \sim n_i + j$ まで切り替えするように、このメモリ領域に走査信号線番号と調整データ番号（ γ_1 用、 γ_2 用等）を記憶しておき、MPU105からの制御信号Cをデコードし、Xアドレスデコーダ、Yアドレスデコーダを介して表示メモリ110を制御しても良い。

【0097】また、表示メモリ110に記憶された調整用データD2は、必要に応じてプログラム等によりMPU105を介して書き換えられるようにする。書き換えができれば、利用者の見る位置や角度等に対応させた γ 補正の調整ができ、より好ましい。

【0098】図23に、図22に示した2つのガンマ変換特性 γ_1 、 γ_2 を用いて液晶駆動した場合の画素状態の説明図を示す。図23の各ます目は、1つの画素ドットを表わしており、各画素ドットの中の“+”または“-”は、印加される信号電圧の極性を示している。図23において、中央の4つの行の部分は、抵抗素子R0～R7に基づく補正値を中心としたガンマ変換特性 γ_1 に対応する信号が入力される画素ドットであり、上部一行分と下部一行分とは、調整用データD2によって調整されたガンマ変換特性 γ_2 に対応する信号が入力される画素ドットである。

【0099】ここでは、ゲート信号ラインと各行とが対応しており、上下2つのゲート信号ラインに対応する行のみが特性 γ_2 の調整がされている。ただし、特性 γ_2 の調整は、図23の2つの行に限定されるものではなく、制御信号Cの情報を換えることにより、任意の行について行うことができる。

【0100】図23は、ドット反転駆動方式の液晶表示を示しており、ある1つのフレームにおいて隣接する画素ドットの極性が互いに反転している例を示している。図24に、連続するフレーム（nフレームとn+1フレーム）における画素状態の変化を示したものを示すが、nフレームから次のn+1フレームへ変化したとき、各画素ドットの極性が反転している。以上のように、1つのフレーム内において、ゲート信号ラインすなわち行ご

(12)

21

とにガンマ変換特性を変えることができるので、ガンマ変換特性 $\gamma 1$ を採用する行と、ガンマ変換特性 $\gamma 2$ を採用する行を適切に選択すれば、広視野となるように視野角特性を調整することができる。

【0101】図23、図24では、2種類のガンマ変換特性($\gamma 1$, $\gamma 2$)を用いたが、3種類以上のガンマ変換特性を用いた調整をしてもよい。ガンマ変換特性の種類を増やすことにより、よりきめ細かい視野角の調整が可能となり、また、その結果、液晶パネルの均一化が図れるので、視覚による色変化の補正が可能となる。図25に、3種類のガンマ変換特性($\gamma 1$, $\gamma 2$, $\gamma 3$)を用いて γ 補正を調整した場合の一実施例の画素状態の説明図を示す。この場合は、表示メモリ110に、各ガンマ変換特性($\gamma 1$, $\gamma 2$, $\gamma 3$)に対応する3種類の調整用データD2を記憶しておく。

【0102】この3つのガンマ変換特性($\gamma 1$, $\gamma 2$, $\gamma 3$)の液晶駆動出力電圧の一実施例を、図28に示す。各ゲート信号ラインごとに、そのゲート走査信号に同期させて、そのゲート信号ラインに対応する調整用データD2を表示メモリ110から読み出して、基準電圧発生回路52に与え、この調整用データD2に基づいてゲート信号ラインすなわち行ごとに各 γ 補正調整回路54のスイッチを切り替えればよい。図25は、中央部の行を特性 $\gamma 1$ による調整をし、その両側の行を特性 $\gamma 2$ による調整をし、さらに外側の行について特性 $\gamma 3$ による調整をしている。

【0103】どの行にどの調整量を適用するかは、図25に示したものに限るものではなく、利用者の見る位置や角度等によって調整量を変更すればよい。たとえば、大画面の液晶ディスプレイでは、見る人と画面の相対位置によって視野角が異なり、画面の上部領域、中央部領域および下部領域の見え方が異なる。上部領域は見にくい、中央部下部領域はそれほど見にくくはないというような場合もあり、必ずしも図25のような調整が適切とは言えない。

【0104】このような場合には、図26に示すように、上方と下方とでガンマ変換特性を異ならせた方が好ましい。図26は、上方と下方の行についてのガンマ変換特性を異ならせた場合の画素状態の説明図である。図26では、上部の行について図28のガンマ変換特性 $\gamma 2$ を用い、下部の行について図28のガンマ変換特性 $\gamma 3$ を用いている。ここで、ガンマ変換特性 $\gamma 2$, $\gamma 3$ は、ガンマ変換特性 $\gamma 1$ を中心として上下にそれぞれ2通りの調整電圧を持っているが、どちらの電圧を用いるかは、画面を観察することによって決定することができる。

【0105】たとえば、図26の場合は、画像が全体的に明るい場合の一例であり、特性 $\gamma 2$ および $\gamma 3$ とも、図28の特性 $\gamma 1$ の下側に示した電圧値を利用すればよい。図26に示すような行単位の画面領域ごとに γ 特性

22

を調整すれば、大画面の液晶表示装置において、より視野角が広くなるように調整することができる。

【0106】図27に、図26の画素状態に対して連続するフレームにおける画素状態の変化の説明図を示す。ここでは、 n フレームの各画素ドットに対して、 $n+1$ フレームでは極性が反転した電圧が印加され、さらに上部と下部の行について異なるガンマ変換特性($\gamma 2$, $\gamma 3$)を適用している。図27に示すようにガンマ補正の調整をすれば、RGBの色バランスを維持し、連続して異なるガンマ特性に対応した電圧を印加すると正負の信号のアンバランスにより発生する残留DC電圧による液晶、配向膜の固定分極に起因する画面の焼き付きを抑えることができる。

【0107】図29、図30に、5種類のガンマ変換特性($\gamma 1 \sim \gamma 5$)を用いて γ 補正の調整をした場合の一実施例の画素状態の説明図を示す。図31に、この5種類のガンマ変換特性に対応した液晶駆動出力電圧の特性の一実施例の説明図を示す。ここでは、中央部の行についてガンマ変換特性 $\gamma 1$ を適用し、上部の2行についてガンマ変換特性 $\gamma 2$ と $\gamma 3$ を、下部の2行についてガンマ変換特性 $\gamma 4$ と $\gamma 5$ とを適用したものを示している。図30では、 $n+1$ フレームにおいて、上部の2行と、下部の2行についてのガンマ変換特性を入れかえている。

【0108】このように、ガンマ変換特性の種類を増やし、さらに、印加電圧を反転させ図30に示すようにガンマ変換特性を適用する行を変化させることにより、視野角をよりきめ細かく調整することができ、広視野角に調整することができる。また、図10のように、RGBそれぞれに対応した階調表示基準電圧発生回路52を備え、各階調表示基準電圧発生回路52内の γ 補正調整回路54を表示メモリ110から読み出した各々の調整用データD2により γ 補正の調整を行うようにすれば、RGBを個別に調整することに加えて、さらに適切な γ 補正を実現できる。

【0109】＜第4実施例＞この実施例では、各画素に印加される信号電圧の極性(正(+))または負(-))ごとにガンマ補正の調整を異ならせる場合について説明する。

【0110】以下に示す第4実施例において、図32の表示メモリ110が第1記憶部に相当し、表示メモリ137が第2記憶部に相当し、セレクト回路130が選択部に相当する。また、図34の正極性階調電圧発生回路56が第1電圧発生部に、図34の負極性階調電圧発生回路57が第2電圧発生部に、図35の抵抗分割回路52aが第1調整部に、図35の抵抗分割回路52bが第2調整部にそれぞれ相当する。

【0111】図32に、この発明の第4実施例の液晶表示装置1の構成ブロック図を示す。図19に示した第3実施例の構成に対して、次の要素が追加されている点が

(13)

23

異なる。

- (a) セレクタ回路130
- (b) 表示メモリ137と第2デコード部132
- (c) 信号Vcom (対向電極電圧)
- (d) 制御信号C1 (MPU105から入出力回路133へ)
- (e) 参照電圧VH, VL (MPUから基準電圧発生回路52へ)
- (f) 極性反転用信号REV (MPUからセレクタ回路130へ)
- (g) 調整用データD3 (表示メモリ137から基準電圧発生回路52へ)

第4実施例では、第3実施例とは異なり2系統のアドレスデコード回路(第1デコード部131、第2デコード部132)を備え、2つの表示メモリ(110、137)を備える。詳細については後述する。その他の構成要素については、第3実施例と同様である。

【0112】この発明の液晶表示装置1は、液晶パネル103、ソースドライバ101、ゲートドライバ102、コントローラ105とを備える。コントローラ105としては、MPU(マイクロプロセッサユニット)を用いることができる。このMPU105が、制御部に相当する。

【0113】<液晶パネルの構成>液晶パネル103は、m本のソース電極およびn本のゲート電極に形成される水平方向m画素×垂直方向n画素のTFT(薄膜トランジスタ)方式の画素を有する液晶パネルである。なお、以下では水平方向1ラインの画素の配列を「行」と称し、垂直方向1ラインの画素の配列を「列」と称する。ここでは、 $m=1028 \times RGB$ 、 $n=900$ であり、各画素において第0階調～第63階調の64階調(6ビット)の階調表示を行なうものとする。各行には、R(赤)、G(緑)、B(青)それぞれを表示する画素が繰り返し配列されているものとする。したがって、各行にはRGBの各画素がそれぞれn画素含まれていることになる。

【0114】液晶パネル103には、ソースドライバ101およびゲートドライバ102が接続されており、ソースドライバ101およびゲートドライバ102はコントローラ(MPU)105に接続されている。

<ソースドライバの構成>ソースドライバ101は、主要回路部120および周辺回路部122とからなり、周辺回路部122は、第1デコード部131、第1表示メモリ110、第2デコード部132、第2表示メモリ137とから構成される。また、第1デコード部131は、入出力回路121、コマンドデコーダ111、Xアドレスデコーダ112、Yアドレスデコーダ113とからなり、第2デコード部132は、入出力回路133、コマンドデコーダ134、Xアドレスデコーダ135、Yアドレスデコーダ136とからなる。

24

【0115】表示メモリ110、137は、特に制限されないが、水平方向M画素×垂直方向N画素分の表示データを格納できるよう構成されている。表示メモリ110、137には、さらにそれぞれ γ 補正データD2、D3も格納される。以後、この γ 補正調整用データD2、D3に注目して記載する。

【0116】表示メモリ110、137は種類は問わないが、フラッシュメモリ、OTP、EEPROM、FeRAM等(強誘電体メモリ)の一度記憶した補正データは電源が遮断されても保持する不揮発性メモリから構成されるのが望ましい。ただし、表示データが固定データとして提供される場合、表示メモリとしてROM構造のメモリを用いてもよい。表示メモリに格納される調整用データD2、D3は、必要に応じて書きかえることができる。また、表示メモリ110、137は、ソースドライバ101の中に内蔵してもよく、また外付けとしてもよい。

【0117】図32では、表示メモリ110、137としては、別々に異なるメモリとして構成したものを示しているが、図33に示すように、物理的に1つのメモリを用いて、これを領域分割して表示メモリ110および137として用いてもよい。この場合、デコード部(131、132)を1つにまとめて、制御信号CおよびC1に対して、1つの表示メモリ110から調整用データ(D2、D3)を読み出すようにすることができる。

【0118】この第4実施例のソースドライバ101の主要回路部120の構成および動作は、第3実施例とほぼ同様であるが、基準電圧発生回路52から出力される階調表示用電圧は、セレクタ回路130を介してD/Aコンバータ回路36に対して出力される点異なる。また、MPU105から出力された制御信号Cは周辺回路部内の入出力回路121に与えられるが、この制御信号Cにより、表示メモリ110から調整用データD2が読み出され、調整用データD2は、基準電圧発生回路52の正極性階調電圧発生回路56の抵抗分割回路52aに入力される(図34、図35参照)。一方、MPU105から出力された制御信号C1は、入出力回路133に与えられ、この制御信号C1により表示メモリ137から調整用データD3が読み出され、調整用データD3は、基準電圧発生回路52の負極性階調電圧発生回路57の抵抗分割回路52bに入力される(図34、図35参照)。

【0119】<基準電圧発生回路の構成>図34および図35に、第4実施例の基準電圧発生回路52の内部回路構成図を示す。ここで、基準電圧発生回路52は、正極性階調電圧発生回路56と、負極性階調電圧発生回路57とから構成され、それぞれの発生回路(56、57)は、バッファアンプ(55a、55b)と、抵抗分割回路(52a、52b)とから構成される。また、最上位電圧入力端子VHと最下位電圧入力端子VLを有

(14)

25

し、この電圧入力端子に、それぞれMPU105からの参照電圧 V_H 、 V_L が入力される。この参照電圧 V_H 、 V_L は、図示しない外部の液晶駆動電源からMPU105を介して供給されるものであり、第3実施例の図20に示した電圧 V_{64} 、 V_0 に相当するものである。

【0120】正極性階調電圧発生回路56は、正極性の交流駆動に対応し、抵抗分割回路52aにより、正極性の階調表示用のアナログ電圧（ $+V_0 \sim +V_{63}$ ）を発生させる。負極性階調電圧発生回路57は、負極性の交流駆動に対応し、抵抗分割回路52bにより、負極性の階調表示用のアナログ電圧（ $-V_0 \sim -V_{63}$ ）を発生させる。

【0121】また、正極性側の抵抗分割回路52aは、基準となるガンマ補正を行うための抵抗比を有する抵抗素子 $RP_0 \sim RP_7$ 、ガンマ補正調整回路54およびアナログスイッチSAとから構成される。正極性側の抵抗分割回路52aにおいて、MPU105から与えられた制御信号Cにより表示メモリ110から読み出された調整用データD2に基づいて、各ガンマ補正調整回路54にて正極性の階調表示用のアナログ電圧（ $+V_0 \sim +V_{63}$ ）が調整される。

【0122】また、負極性側の抵抗分割回路52bは、同様に、抵抗素子 $RN_0 \sim RN_7$ 、ガンマ補正調整回路54およびアナログスイッチSBとから構成される。同様に、負極性側の抵抗分割回路52bにおいて、MPU105から与えられた制御信号C1により表示メモリ137から読み出された調整用データD3に基づいて、各ガンマ補正調整回路54にて、負極性の階調表示用のアナログ電圧（ $-V_0 \sim -V_{63}$ ）が調整される。

【0123】図35において、抵抗素子 $RP_0 \sim RP_7$ のうち、 RP_0 における一方の接続点には最上位電圧入力端子 V_H に接続されたバッファアンプ（ボルテージフォロア型増幅アンプ）55aの出力が接続され、抵抗 RP_0 の他端は RP_1 が接続される。抵抗素子 $RP_1 \sim RP_7$ のそれぞれは、複数本の抵抗素子が直列に接続されて構成されている。例えば、抵抗 RP_1 について説明すれば、15本の抵抗素子 RP_1-1 、 RP_1-2 、…… RP_1-15 が直列接続され全体として抵抗 RP_1 が構成されている。また、他の抵抗 $RP_2 \sim RP_7$ については16本の抵抗素子が直列接続されて抵抗 $RP_2 \sim RP_7$ が構成されている。 RP_7 の他端は RP_6 が接続され、抵抗 RP_7 における抵抗 RP_6 の接続点とは反対側の端子には、アナログスイッチSAを挟んで最下位電圧入力端子 V_L に接続されたバッファアンプ（ボルテージフォロア型増幅アンプ）55bの出力が接続されている。

【0124】抵抗素子 $RN_0 \sim RN_7$ のうち、 RN_0 における一方の接続点には最下位電圧入力端子 V_L に接続された増幅用アンプ55bの出力が接続され、抵抗 RN_0 の他端は RN_1 が接続される。抵抗素子 $RN_1 \sim RN$

26

7のそれぞれは、複数本の抵抗素子が直列に接続されて構成されている。例えば、抵抗 RN_1 について説明すれば、15本の抵抗素子 RN_1-1 、 RN_1-2 、…… RN_1-15 が直列接続され全体として抵抗 RN_1 が構成されている。また、他の抵抗 RN_2 から RN_7 については16本の抵抗素子が直列接続されて抵抗 $RN_2 \sim RN_7$ が構成されている。 RN_7 の他端は RN_6 が接続され、そして抵抗 RN_7 における抵抗 RN_6 の接続点とは反対側の端子には、アナログスイッチSBを挟んで最上位電圧入力端子 V_H に接続されたバッファアンプ（ボルテージフォロア型増幅アンプ）55aの出力が接続される。このように、第4実施例では、従来の階調表示基準電圧発生回路のように、9本の間調電圧入力端子 V_0 から V_{64} を設ける必要は無く、中間電圧を基準電圧発生回路52内で生成し調整することができる。

【0125】また、最上位電圧入力端子 V_H と最下位電圧入力端子 V_L とに接続されたバッファアンプ55a、55b（ボルテージフォロア型増幅アンプ）によって、抵抗分割回路（52a、52b）の抵抗値をより高くすることができるので、分割抵抗に流れる電流値を抑えることができる。

【0126】さらに、MPU105から出力された極性反転用信号REVは、図35に示すように、基準電圧発生回路52の抵抗分割回路（52a、52b）の中のアナログスイッチ（SA、SB）に与えられ、この信号REVにより、どちらか一方の抵抗分割回路（52a、52b）が選択されることになる。たとえば、信号REVが“H”のとき、アナログスイッチSAがON（開状態）、スイッチSBがOFF（閉状態）となり、抵抗分割回路52aが選択され、正極性の階調表示用アナログ電圧（ $+V_0 \sim +V_{63}$ ）が出力される。逆に信号REVが“L”のとき、アナログスイッチSAがOFF（閉状態）、スイッチSBがON（開状態）となり抵抗分割回路52bが選択される。この信号REVは、アナログスイッチ（SA、SB）のゲートに与えられるゲートへの追加電圧が“H”のときスイッチが導通状態（開状態）となる。

【0127】＜セクタ回路の構成＞セクタ回路130は、図34に示すように正極性階調電圧発生回路56と負極性階調電圧発生回路57とに対応して、正極性用のセクタ回路130aと負極性用のセクタ回路130bとを備え、各セクタ回路（130a、130b）は、電圧発生回路（56、57）から出力される各アナログ電圧（ $V_0 \sim V_{63}$ ）に対応するように設けられた複数のアナログスイッチ（58、59）により構成される。セクタ回路130aの各アナログスイッチ58は、正極性の抵抗分割回路52aからのアナログ電圧（ $+V_0 \sim +V_{63}$ ）の出力端子にそれぞれ接続され、セクタ回路130bの各アナログスイッチ59は、負極性の抵抗分割回路52bからのアナログ電圧（ $-V_0 \sim$

(15)

27

− V_{63})の出力端子にそれぞれ接続される。各アナログスイッチ(58, 59)は、極性反転用信号REVによりON/OFFが選択され、各アナログ電圧($V_0 \sim V_{64}$)のDAコンバータ回路36への出力の有無が制御される。

【0128】たとえば、信号REVが“H”のとき、セレクト回路130aのアナログスイッチ58が選択され、正極性のアナログ電圧(+ $V_0 \sim +V_{63}$)が出力される。また、信号REVが“L”のとき、セレクト回路130bのアナログスイッチ59が選択され、負極性の

アナログ電圧(− $V_0 \sim -V_{63}$)が出力される。

【0129】また、ガンマ補正調整回路54の回路構成等については、第1実施例の図4、図5および図6と同様であり、第4実施例では、第3実施例の図21に示したように、表示メモリ110から与えられる調整用データ(D2)と表示メモリ137から与えられる調整用データ(D3)とに基づいて各スイッチのオン/オフ制御がされる。第4実施例の場合は、ガンマ補正調整回路54において、第1実施例の不揮発性メモリ53に記憶されたガンマ補正情報の調整データの代わりに表示メモリ110、137にそれぞれ格納された2つの調整用データD2、D3に応じた倍率の調整量を得ることができる。言い換えれば、調整用データD2、D3に応じて、スイッチ+2(n-1)、−2(n-1)をオン/オフすることによって、入力電圧に対して調整用データに基づく調整を行った電圧を出力することができる。

【0130】この調整を抵抗素子R0~R7に基づくガンマ補正值に適用することによって、図36に示すように、液晶駆動出力電圧の特性は、抵抗素子R0~R7に基づく補正值を中心としたガンマ変換特性 γ_1 と上記調整用データD2、D3によって調整可能なガンマ変換特性 γ_2 並びに γ_3 とを得ることができる。この γ_1 と γ_2 並びに γ_3 とによる三つのガンマ特性は、後述する図37に示すような1画面内において、任意のラインに対してそれぞれ適用させることにより、視野角が最適視野になるよう特性を変えることができる。

【0131】図37に、図36で説明したガンマ変換特性 γ_1 と、調整用データD2、D3によって調整されたガンマ変換特性 γ_2 並びに γ_3 とを液晶表示装置に適用した場合の画素状態の説明図を示す。第3実施例の図23等には、ドット反転駆動方式による画素状態を示したが、図37では、ライン駆動方式により液晶表示装置を駆動した場合を示している。すなわち、図23では1つの走査ラインにおいて極性が正と負に交互に変化しているのに対し、図37では、1つの走査ライン上のすべての画素について、正極性(+)あるいは負極性(−)のどちらかとなっている。

【0132】図37において、斜線の無い部分は抵抗素子R0~R7に基づく補正值を中心としたガンマ変換特性 γ_1 に対応する信号が入力される画素ドットを示し、

28

斜線部は調整用データD2、D3によって調整されたガンマ変換特性 γ_2 並びに γ_3 に対応する信号が入力される画素ドットを示す。また画素ドット無いの+/-の符号は印加信号の極性を示す。また、図38に、図37で示した液晶表示装置での連続する2つのフレームにおける画素状態の変化を示す。n+1フレームでは、nフレームに対し正極性、負極性を反転している。以上のように、1画面内の任意のラインに対して、3種類の異なるガンマ変換特性を適用することにより、広視野角化を図ることができる。なお、3種類以上のガンマ変換特性を適用することにより、より広範囲で視野角特性を変えることが可能となることは言うまでもない。

【0133】以上のように、表示メモリ110に格納された調整用データD2を用いて、正極性の走査ラインに対するガンマ補正值の調整(図37の γ_2)を行い、表示メモリ137に格納された調整用データD3を用いて、負極性の走査ラインに対する補正值の調整(図37の γ_3)を行うようにしているので、視覚による色変化の最適な補正を実現することができる。

【0134】図39に、第4実施例の基準電圧発生回路52の他の構成例を示す。図35に示した構成に対して、バッファアンプ(55a, 55b)の動作を制御するための制御端子60を設ける。制御信号端子60はMPU105と接続され、“H”または“L”レベルの信号がMPU105から与えられる。たとえば、制御端子60に、“H”レベルの信号が供給されると、バッファアンプ(55a, 55b)は導通状態となり、入力参照電圧VH、VLに基づいて、前記したような正極性および負極性の64通りの基準電圧($\pm V_0 \sim \pm V_{63}$)が生成される。一方、制御端子60に、“L”レベルの信号が供給されると、バッファアンプ(55a, 55b)は非導通状態となり、動作を停止し、基準電圧は生成されない。

【0135】すなわち、バッファアンプ(55a, 55b)の動作を停止させることにより、基準電圧発生回路52による電圧の生成が中断されるので、低消費電力化を図ることができる。また、図示していないがガンマ補正調整回路54の中に設けられるバッファアンプも、同様の信号による動作の制御をしてもよい。たとえば、液晶表示装置の非表示時期や、画面の非表示期間である垂直同期の処理期間中などにおいて、消費電力の大きいバッファアンプ(55a, 55b)に代表されるアナログ回路の動作電流を遮断すれば、液晶駆動装置の低消費電力化を図ることができる。

【0136】

【発明の効果】この発明によれば、階調補正用の調整データを、不揮発性メモリに記憶させているので、デジタル表示データのデータ長が長い場合でも、回路構成が複雑になることを防止でき、調整データの変更作業が容易にできる。

(16)

29

【0137】また、調整データの変更は、不揮発性メモリーに記憶されている調整データを書きかえるだけでよいので、液晶表示等のための駆動回路を作り変えることなく、液晶材料や液晶表示装置の特性に合わせて、基準電圧を容易に調整することができる。したがって、特性の異なる液晶表示装置でも適用することができるので、階調表示のための回路の合理化、共通化を図ることができ、製造コストを下げるができる。また、色成分ごとに独立して階調補正ができるので、液晶表示装置の表示品位をきめ細かく制御できる。

【0138】また、この発明の液晶表示装置によれば、異なるガンマ特性の出力電圧を1フレーム内の所望のゲート信号ラインへ印加させることができ、視野角が最適視野になるよう特性を変えることができる。また視角による色変化の補正が可能となることから、液晶パネル製造工程を複雑にすることなく、また、製造条件を厳しくすることなく、また、液晶駆動装置も製造後、自在に調整データを変えることができる。

【0139】また、この発明によれば、正極性電圧を印加する場合と負極正電圧を印加する場合の調整用データを別々に記憶し、正極性電圧を印加する走査ラインと負極正を印加する走査ラインごとに、階調表示用の基準電圧を調整するようにしているので、極性に対応させた視覚による色変化補正をより適切に行うことができる。また、特に、正極性電圧印加時と負極正電圧印加時とで表示特性が異なるような液晶表示装置において、よりきめ細かくガンマ補正調整をすることができる。また、調整量、すなわち階調表示用データを不揮発性メモリーに記憶させ、その内容を必要に応じて書きかえるようにしているので、基準電圧発生部等の階調表示の駆動回路を変更することなく、液晶材料または液晶表示装置の表示特性に対応させて基準電圧を容易に調整できる。したがって、階調表示のための回路を合理化および共有化でき、結果として液晶表示装置の製造コストを下げるができる。

【図面の簡単な説明】

【図1】この発明の第1実施例のソースドライバの構成ブロック図である。

【図2】この発明の液晶表示装置の一実施例の構成を示すブロック図である。

【図3】この発明の階調表示基準電圧発生回路の構成を示すブロック図である。

【図4】図1における γ 補正調整回路の概略ブロック図である。

【図5】基準電圧よりも高い出力電圧を得る場合と低い出力電圧を得る場合における定電流源の動作説明図である。

【図6】 γ 補正調整回路における定電流源部の回路構成を示す図である。

【図7】図1に示す階調表示基準電圧発生回路による液

30

晶駆動出力電圧の特性を示す図である。

【図8】この発明の不揮発性メモリーに記憶される情報内容の説明図である。

【図9】この発明の階調表示データの補正特性の説明図である。

【図10】この発明の第2実施例のソースドライバの構成ブロック図である。

【図11】TFT方式による液晶表示装置のブロック構成を示す図である。

10 【図12】図11における液晶パネルの構成を示す図である。

【図13】液晶駆動波形の一例を示す図である。

【図14】図13よりも印加電圧が低い場合の液晶駆動波形を示す図である。

【図15】図11におけるソースドライバのブロック図である。

【図16】図15における階調表示基準電圧発生回路の構成を示す図である。

20 【図17】図16に示す階調表示基準電圧発生回路による液晶駆動出力電圧の特性例を示す図である。

【図18】従来の液晶の配向状態を示す図である。

【図19】この発明の第3実施例の液晶表示装置の構成ブロック図である。

【図20】この発明の第3実施例の階調表示基準電圧発生回路の構成ブロック図である。

【図21】この発明の第3実施例の γ 補正調整回路の定電流源部の回路構成を示す図である。

【図22】この発明の第3実施例の液晶駆動出力電圧の2つのガンマ変換特性の説明図である。

30 【図23】この発明の第3実施例において、2種類のガンマ変換特性を用いた液晶表示装置の画素状態の説明図である。

【図24】図23について、連続する2つのフレームの画素状態の説明図である。

【図25】この発明の第3実施例において、3種類のガンマ変換特性を用いた液晶表示装置の画素状態の説明図である。

40 【図26】この発明の第3実施例において、3種類のガンマ変換特性を用いた液晶表示装置の画素状態の説明図である。

【図27】図26について、連続する2つのフレームの画素状態の説明図である。

【図28】この発明の第3実施例の液晶駆動出力電圧の3つのガンマ変換特性の説明図である。

【図29】この発明の第3実施例において、5種類のガンマ変換特性を用いた液晶表示装置の画素状態の説明図である。

【図30】図29について、連続する2つのフレームの画素状態の説明図である。

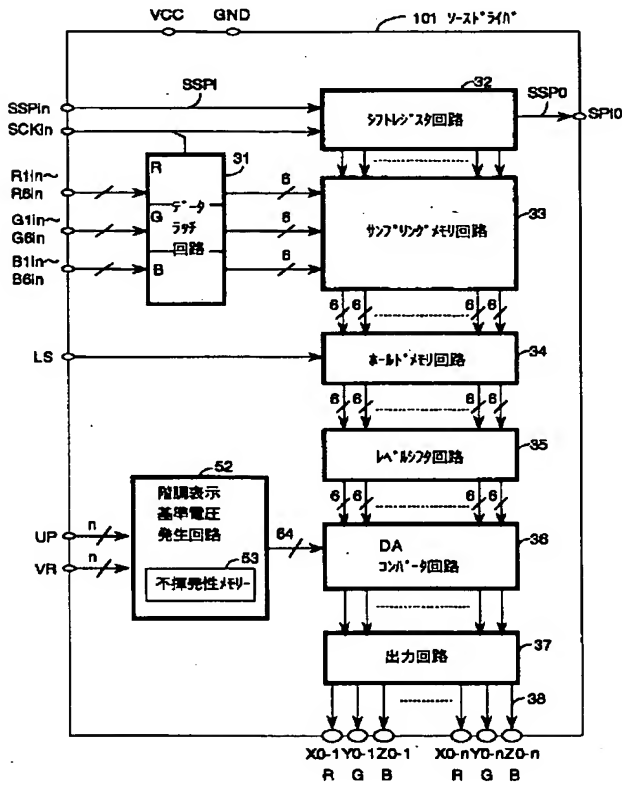
50 【図31】この発明の第3実施例の液晶駆動出力電圧の

(17)

31

5つのガンマ変換特性の説明図である。
【図32】この発明の第4実施例の液晶表示装置の構成ブロック図である。
【図33】この発明の第4実施例の液晶表示装置の構成ブロック図である。
【図34】この発明の第4実施例の基準電圧発生回路、セレクト回路の構成ブロック図である。
【図35】この発明の第4実施例の基準電圧発生回路の構成ブロック図である。
【図36】この発明の第4実施例の液晶駆動出力電圧の
ガンマ変換特性の説明図である。
【図37】この発明の第4実施例において、3種類のガンマ変換特性を用いた液晶表示装置の画素状態の説明図である。
【図38】図37について、連続する2つのフレームの

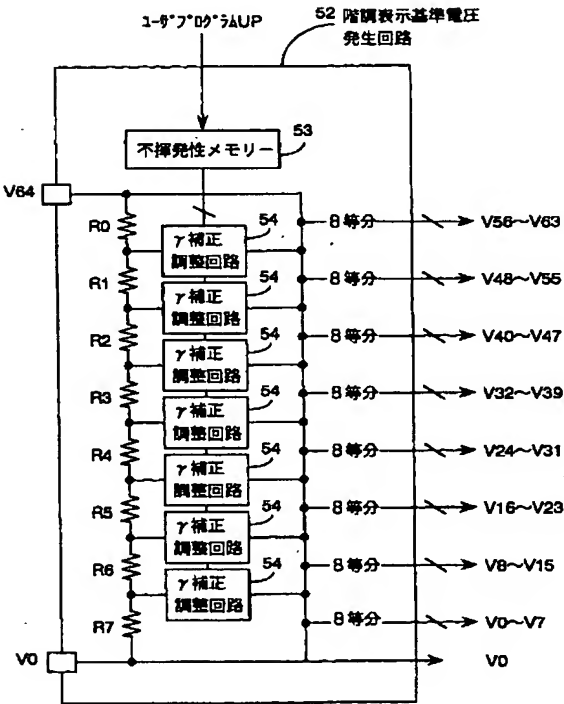
【図1】



32

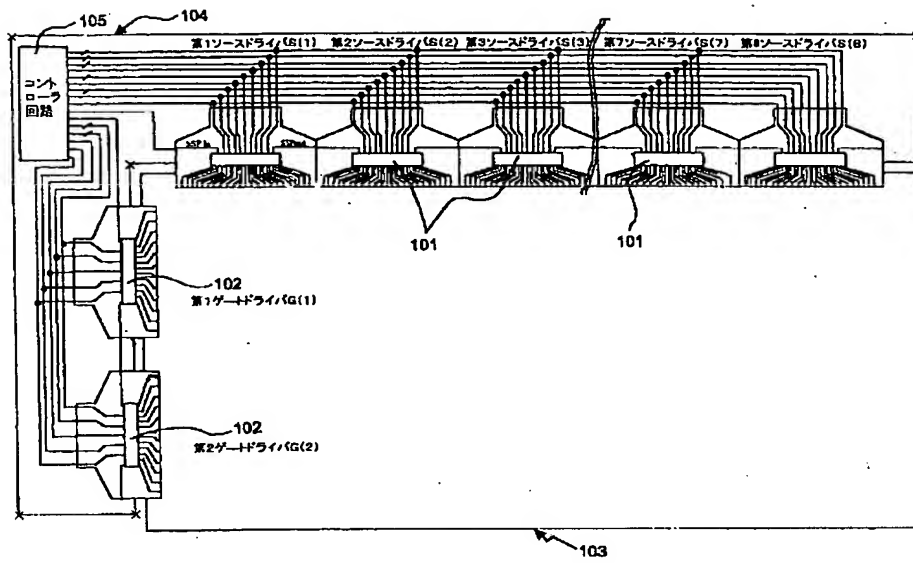
画素状態の説明図である。
【図39】第4実施例の基準電圧発生回路の他の構成ブロック図である。
【符号の説明】
5 2…階調表示基準電圧発生回路
5 3…不揮発性メモリ
5 4… γ 補正調整回路
1 0 1…ソースドライバ
1 0 2…ゲートドライバ
1 0 3…液晶表示部
1 0 4…液晶駆動部
1 0 5…コントローラ
1 1 0…表示メモリ
R 0～R 7, R…抵抗素子

【図3】

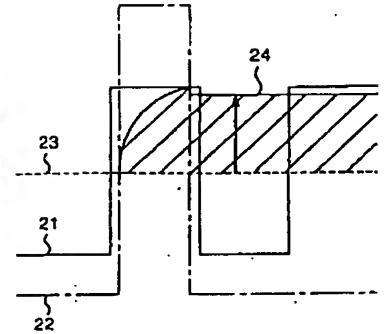


(18)

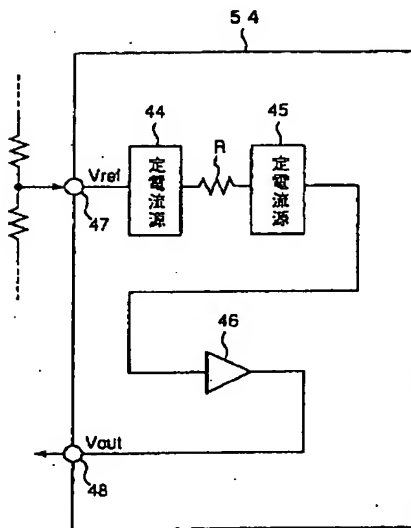
【図2】



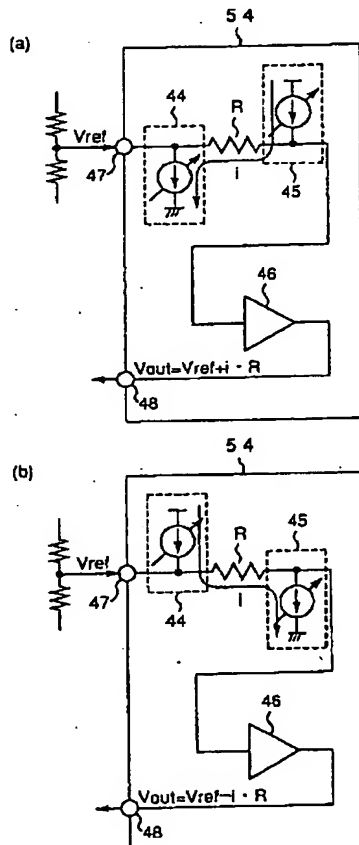
【図13】



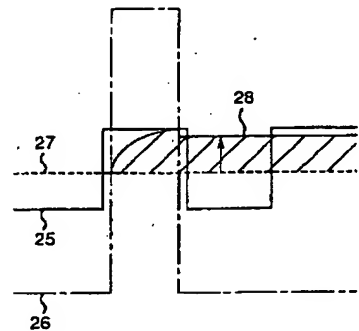
【図4】



【図5】

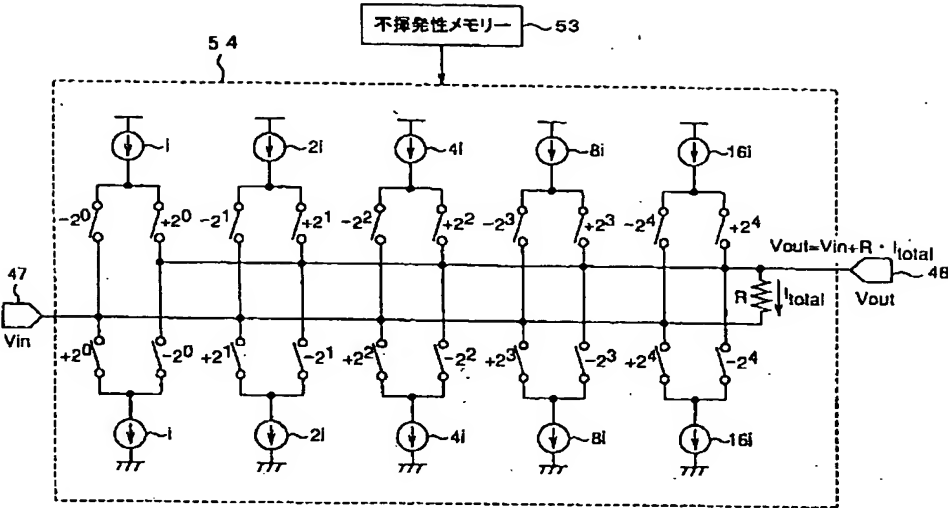


【図14】

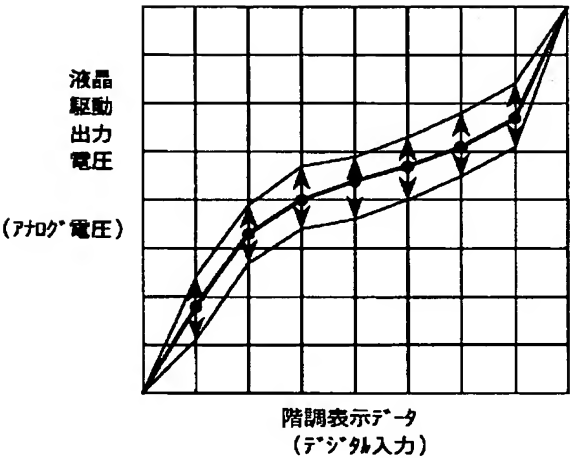


(19)

【図 6】



【図 7】

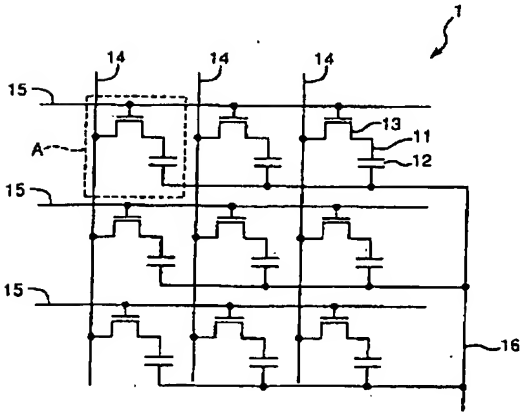


【図 8】

階調アドレス (16進数)	階調データ (2進数)	階調データ (2進数)
00H	00H	3H(000011)
01H		
02H		
03H		
04H		
05H		
06H		
07H	01H	3H(000011)
08H		
09H		
0AH	02H	3H(000011)
0BH		
0CH		
0DH	03H	3H(000011)
0EH		
0FH		
10H	04H	3H(000011)
11H		
12H	05H	3H(000011)
13H		
14H	06H	3H(000011)
15H		
16H		
17H	07H	2H(000010)
18H		
19H	08H	2H(000010)
1AH		
1BH	09H	2H(000010)
1CH		
1DH	0AH	2H(000010)
1EH		
1FH	0BH	2H(000010)
20H		
21H	0CH	2H(000010)
22H	0DH	2H(000010)
23H	0EH	1H(000001)
24H	0FH	1H(000001)
25H	10H	1H(000001)
26H	11H	1H(000001)
27H	12H	1H(000001)
28H	13H	1H(000001)
29H	14H	1H(000001)
2AH	15H	1H(000001)
2BH	16H	1H(000001)
2CH	17H	1H(000001)
2DH	18H	1H(000001)
2EH	19H	1H(000001)
2FH	1AH	1H(000001)
30H	1BH	1H(000001)
31H	1CH	1H(000001)
32H	1DH	1H(000001)

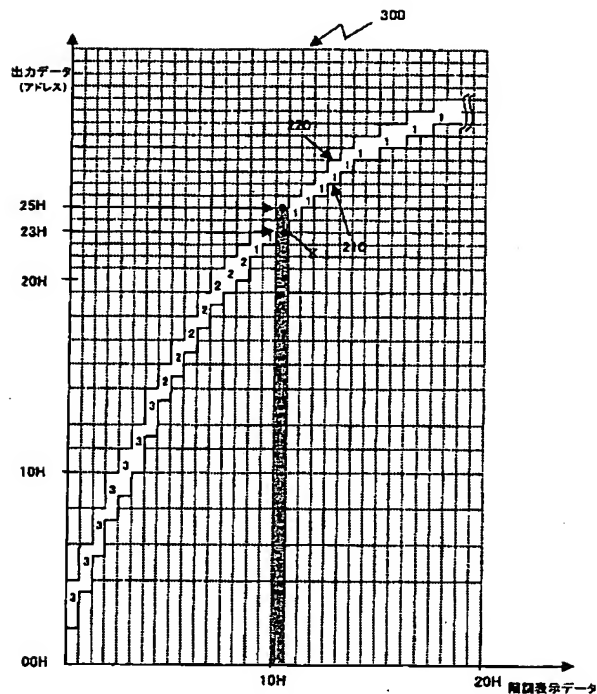
アドレス (16進数)	階調データ (2進数)	階調データ (2進数)
33H	25H	1H(000001)
34H	27H	1H(000001)
35H	29H	1H(000001)
36H	2BH	1H(000001)
37H	2DH	1H(000001)
38H	2EH	1H(000001)
39H	30H	1H(000001)
3AH	32H	1H(000001)
3BH	34H	1H(000001)
3CH	36H	1H(000001)
3DH	38H	1H(000001)
3EH	3AH	1H(000001)
3FH	3CH	1H(000001)

【図 12】

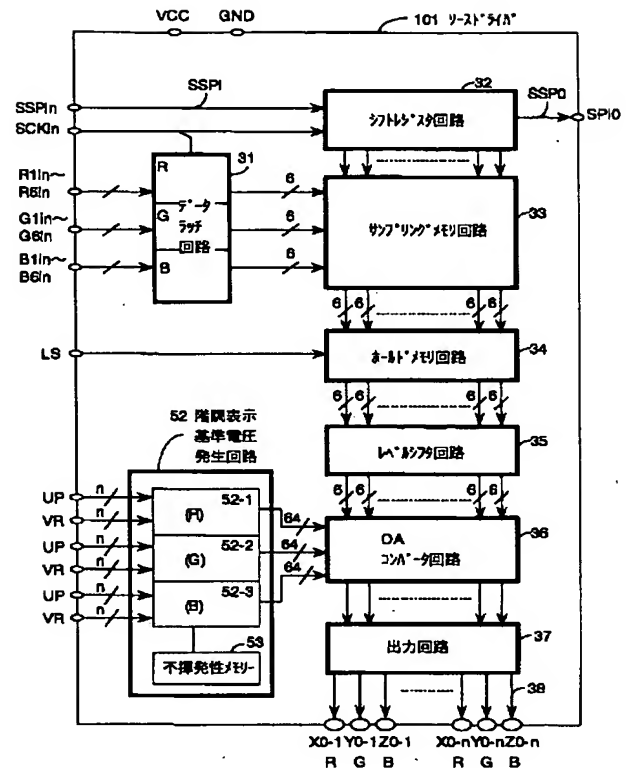


(20)

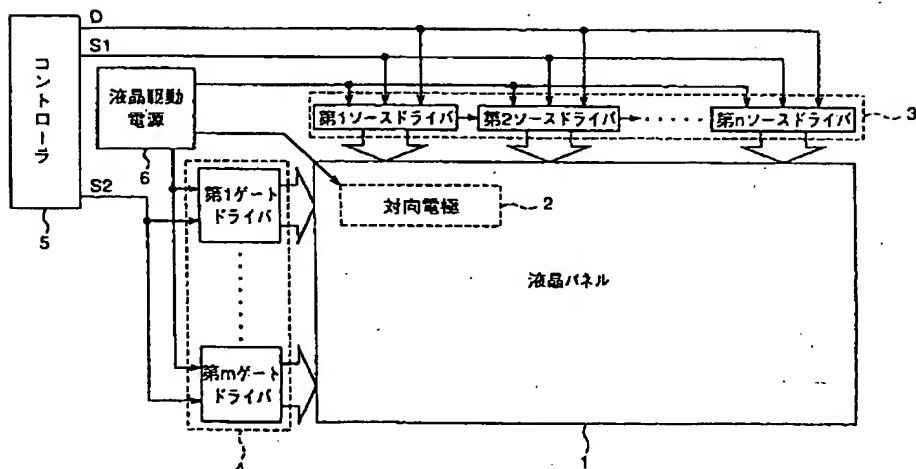
【図 9】



【図 10】

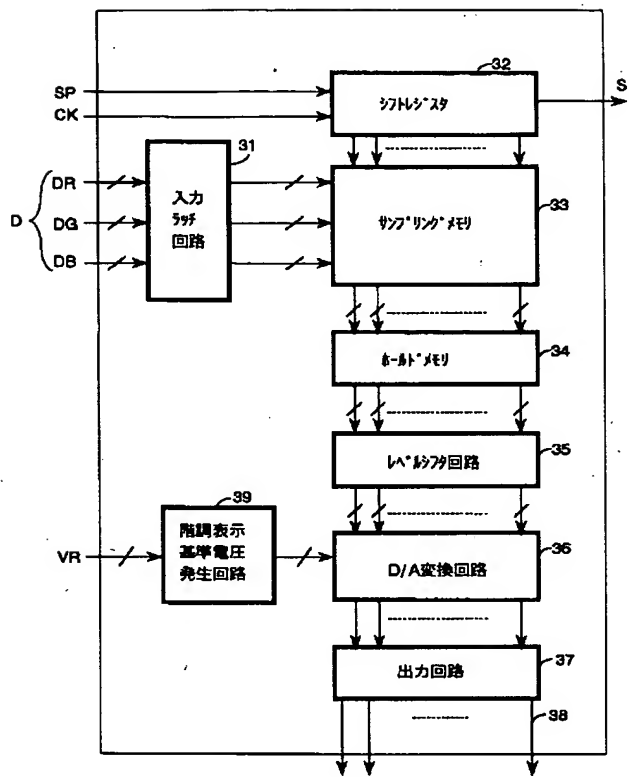


【图 1 1】

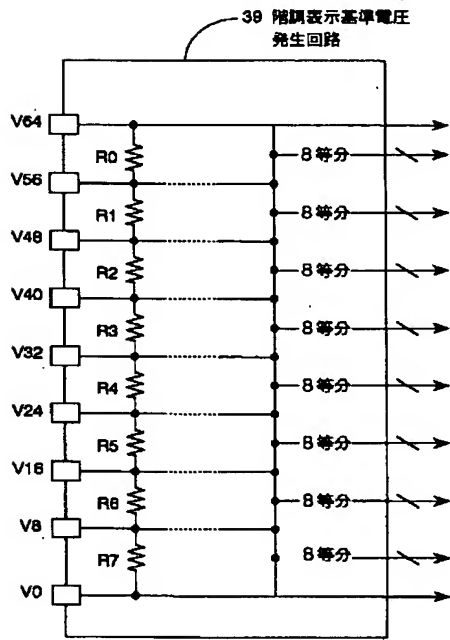


(21)

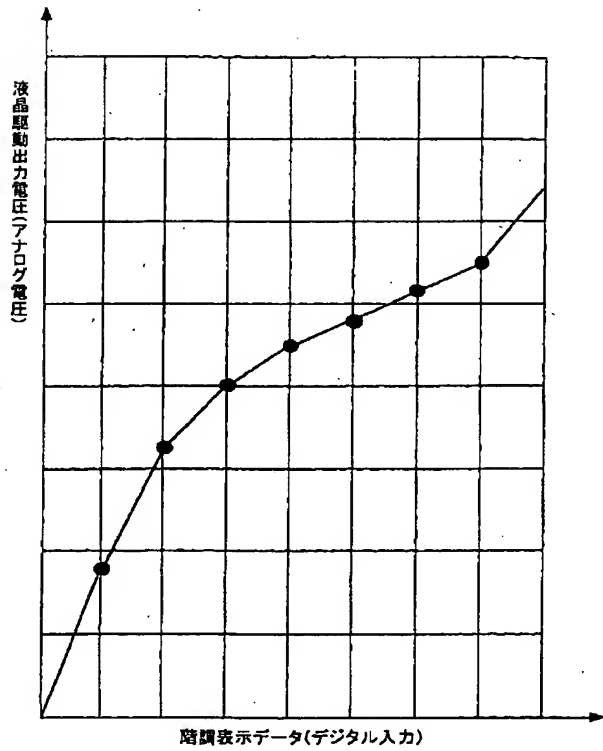
【図 15】



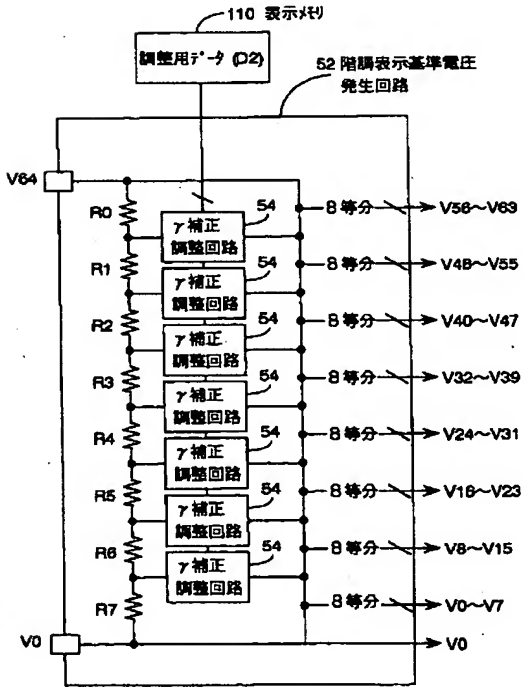
【図 16】



【図 17】

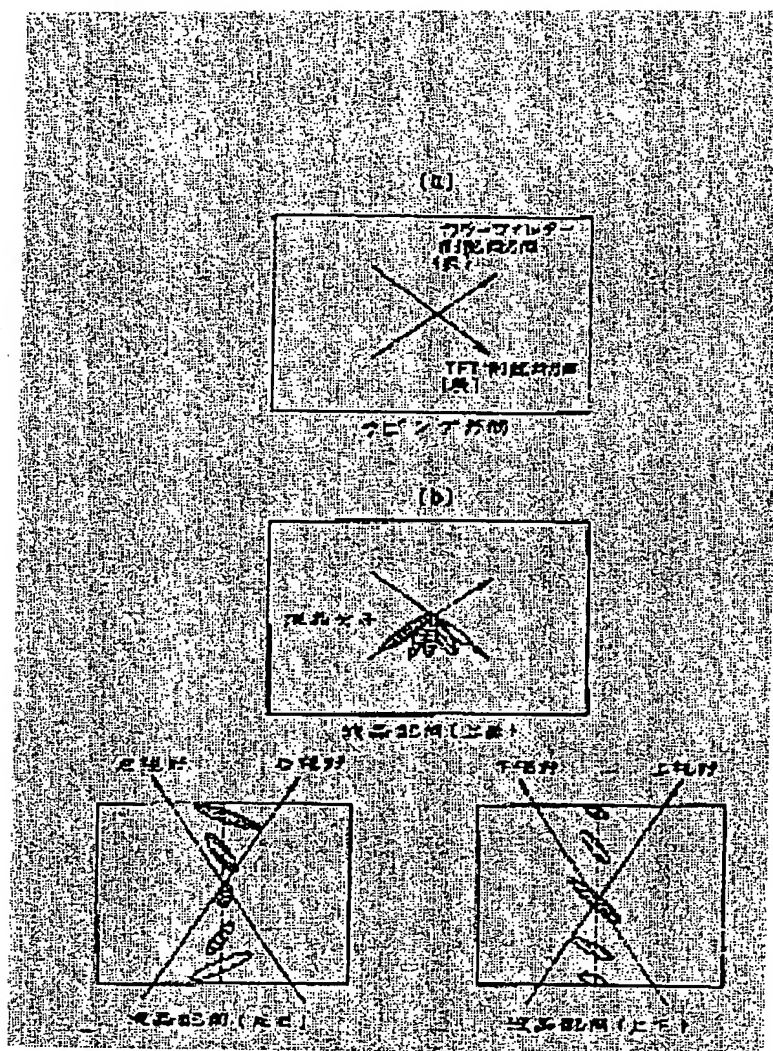


【図 20】

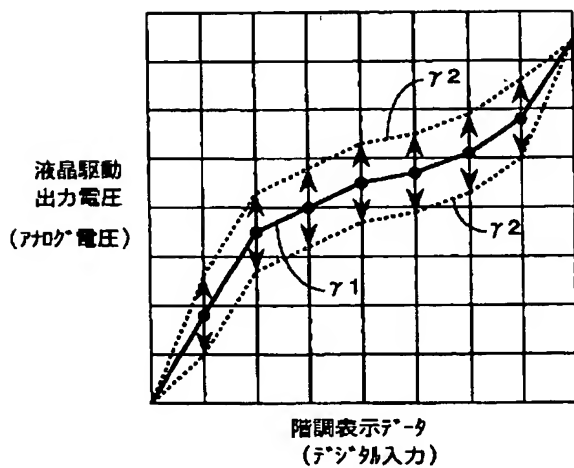


(22)

【図18】



【図22】

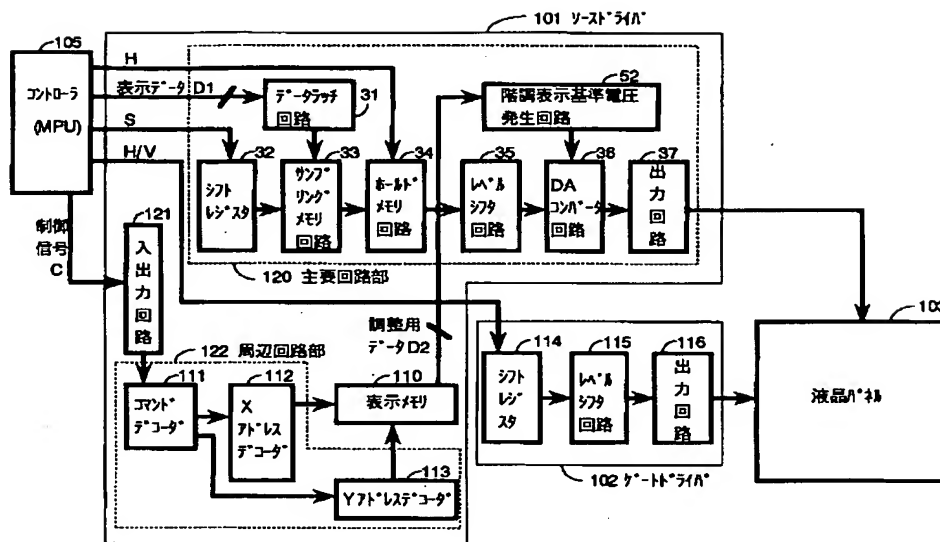


【図23】

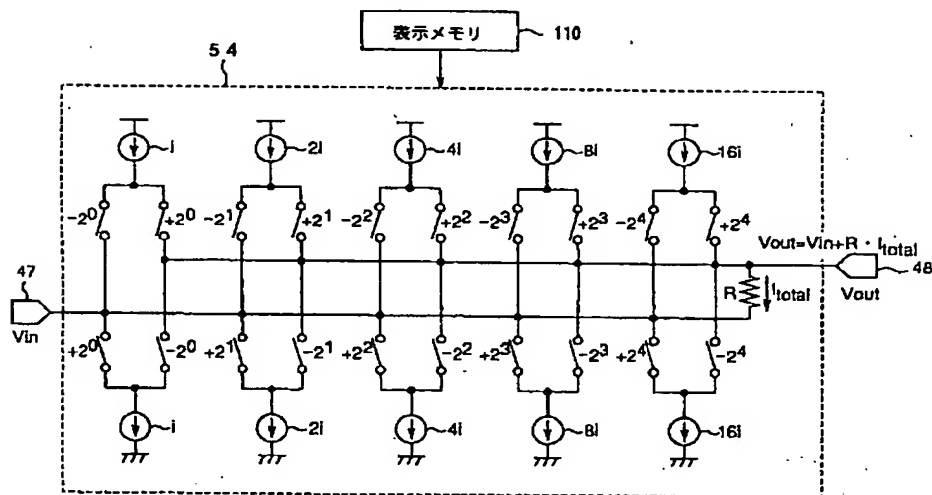
	R	G	B	R	G	B
$\gamma 2 \rightarrow$	+	-	+	-	+	-
$\gamma 1$	-	+	-	+	-	+
$\gamma 1$	+	-	+	-	+	-
$\gamma 1$	-	+	-	+	-	+
$\gamma 1$	+	-	+	-	+	-
$\gamma 2 \rightarrow$	-	+	-	+	-	+

(23)

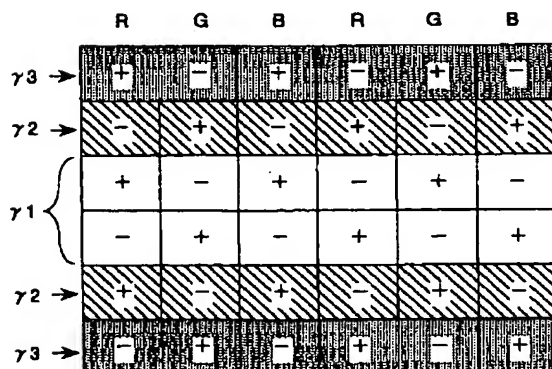
【図19】



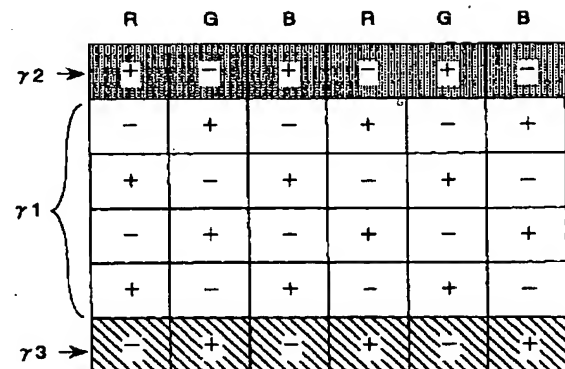
【図21】



【図25】

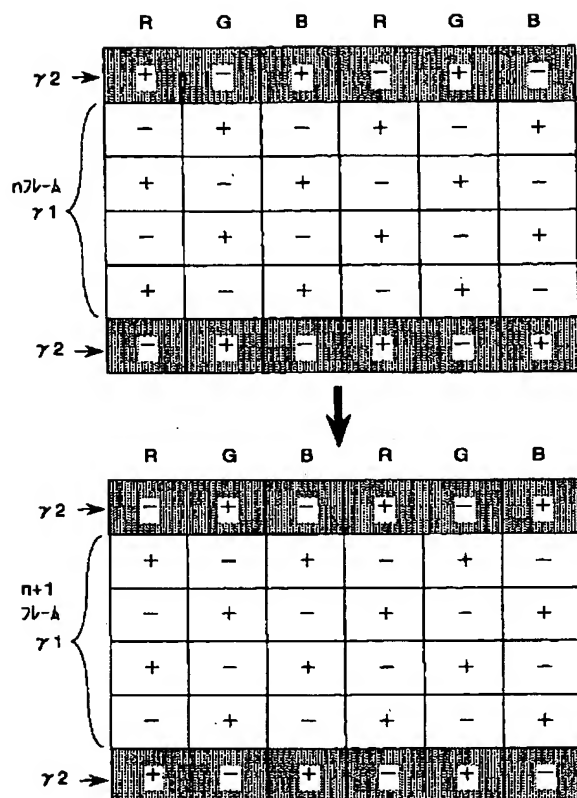


【図26】

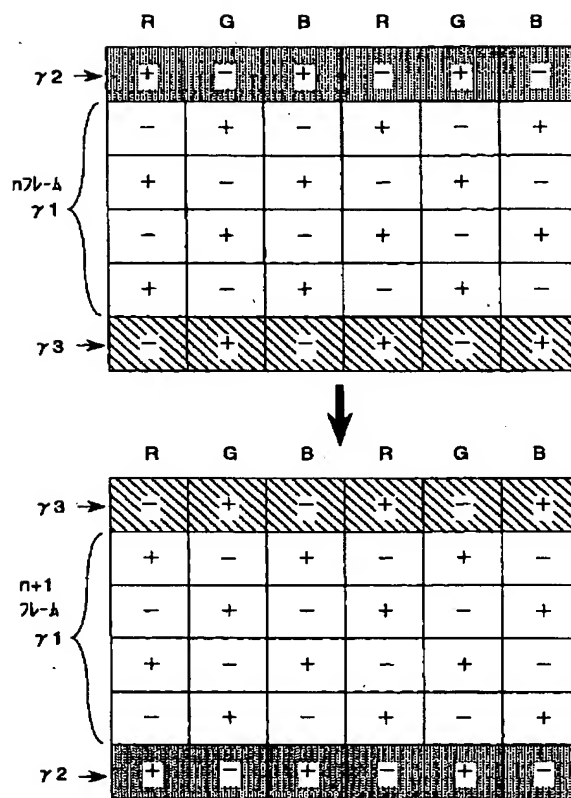


(24)

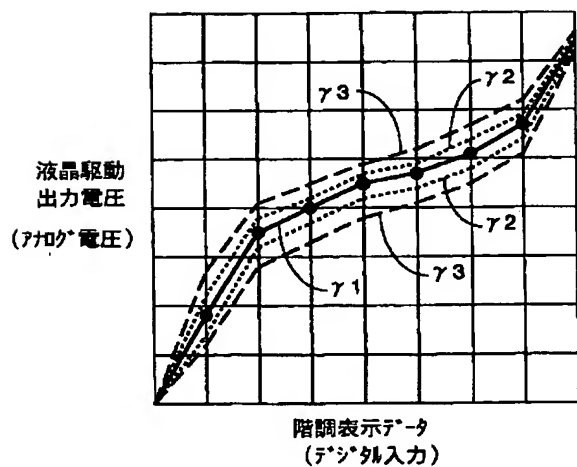
【図24】



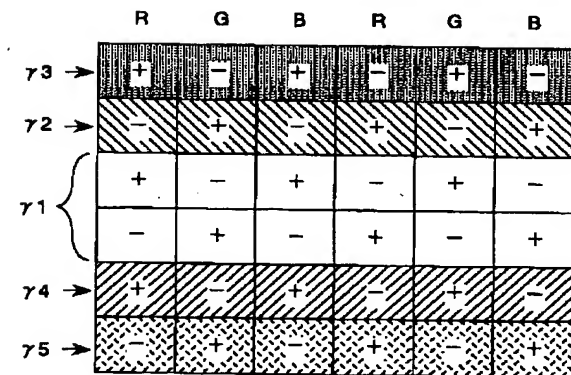
【図27】



【図28】

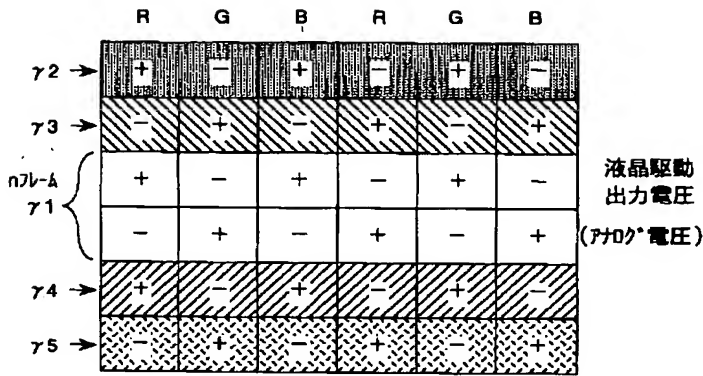


【図29】

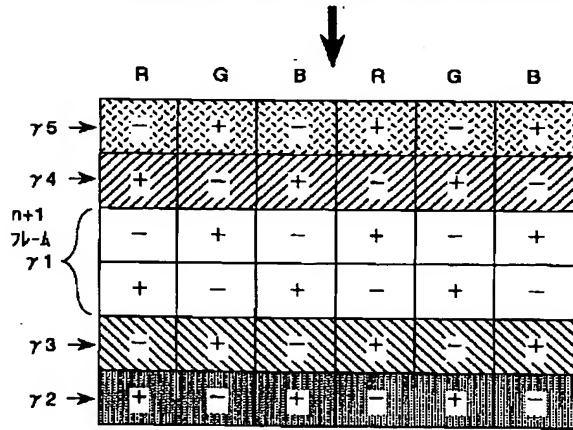
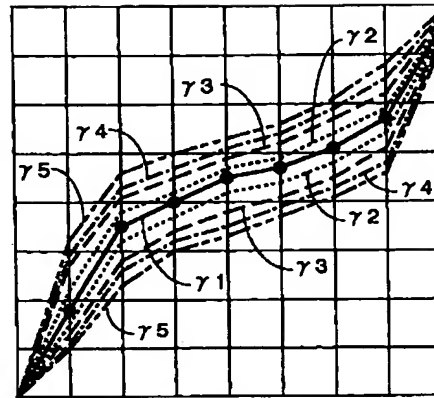


(25)

【図30】

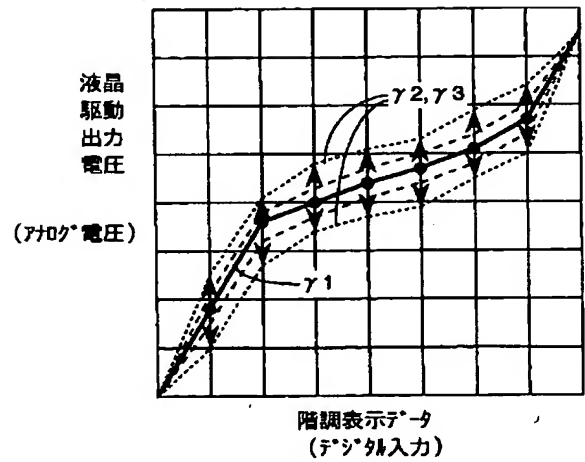


【図31】

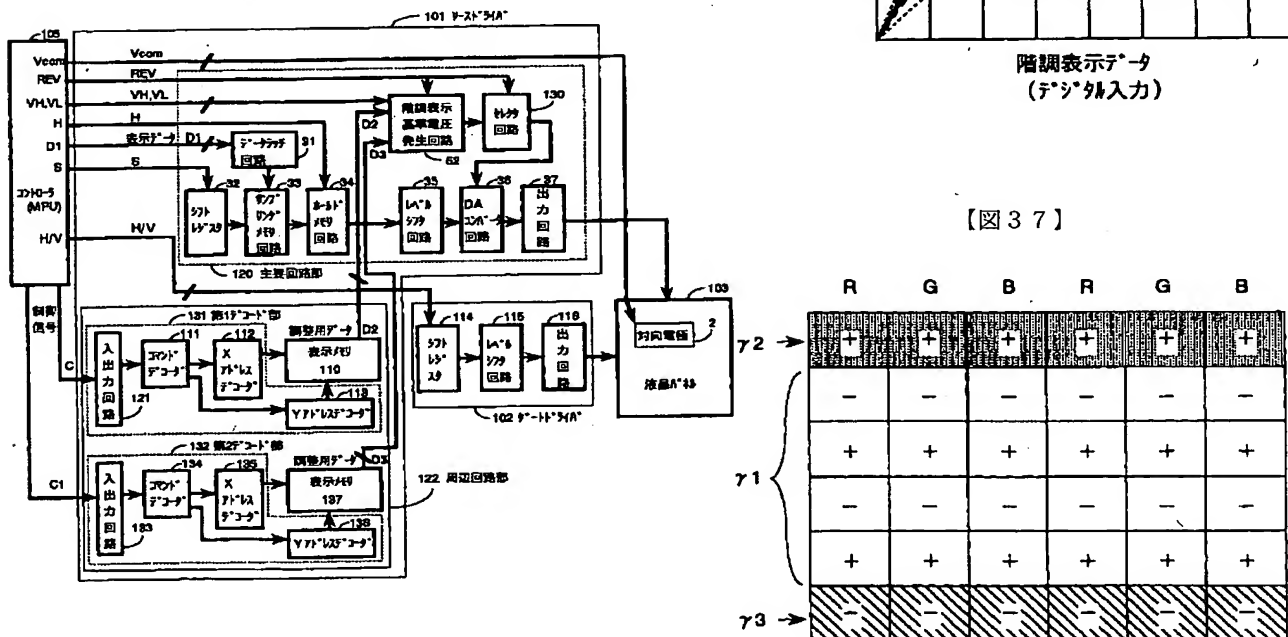


【図32】

【図36】

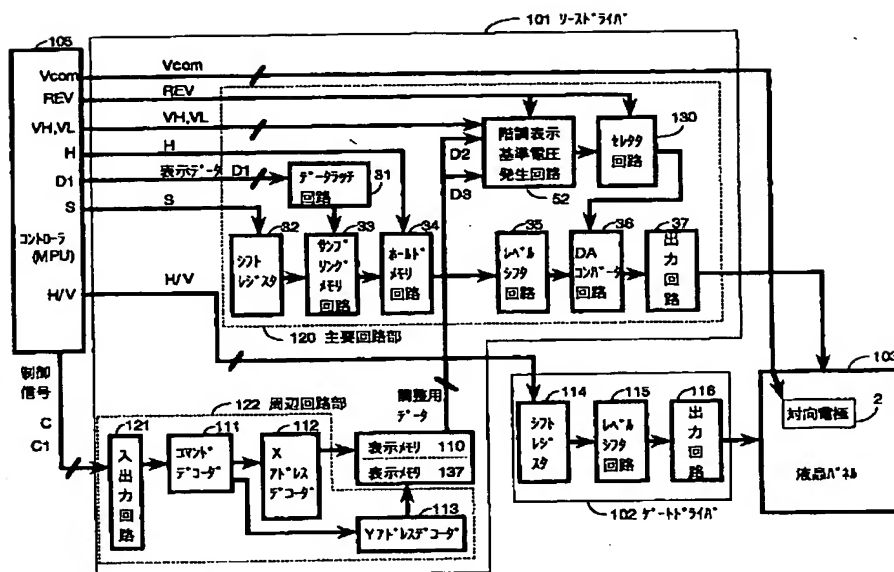


【図37】

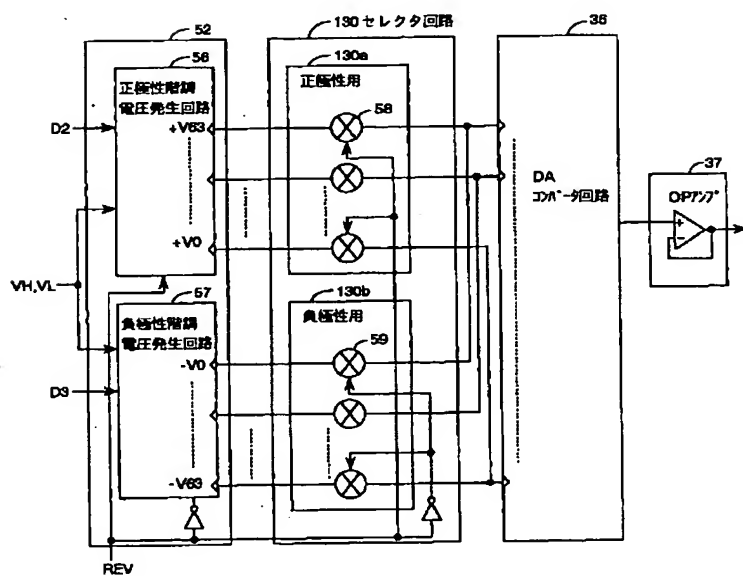


(26)

【図33】

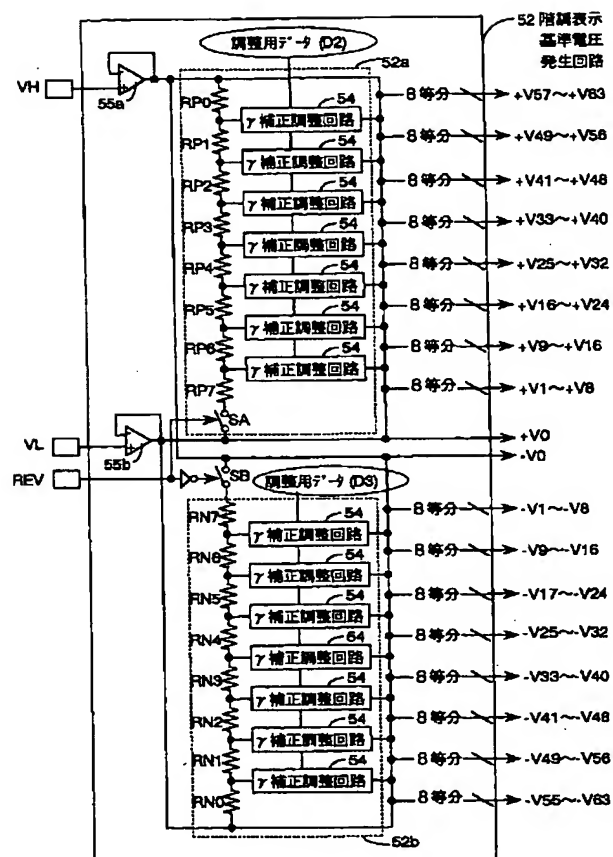


【図34】

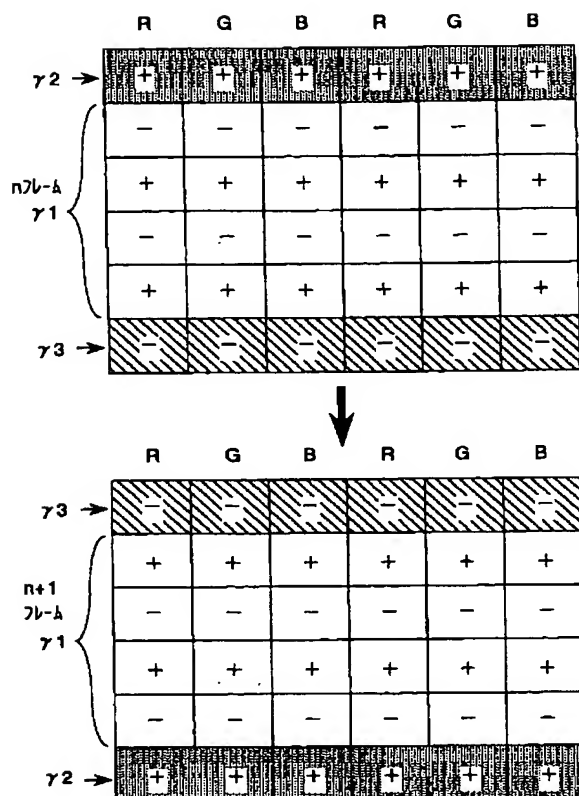


(27)

【図 35】

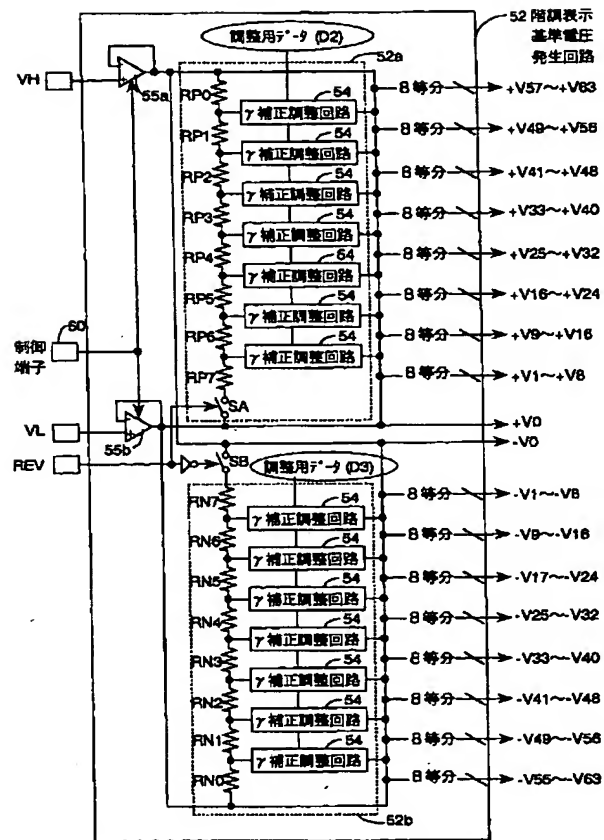


【図 38】



(28)

【図39】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

識別記号

6 3 1

F I

G 0 9 G 3/20

ターマード (参考)

6 3 1 K

6 3 1 V

6 4 1 C

6 4 1 Q

6 4 1

F ターム (参考) 2H093 NA16 NA53 NC03 NC13 NC21
 NC22 NC23 NC26 NC28 NC34
 NC49 NC50 NC65 ND06 ND58
 5C006 AA01 AA16 AA22 AC21 AF13
 AF42 AF44 AF46 AF51 AF53
 AF61 AF83 AF84 BB16 BC03
 BC12 BC20 BF03 BF04 BF09
 BF11 BF43 BF46 FA55 FA56
 5C080 AA10 BB05 CC03 DD03 EE29
 FF11 JJ01 JJ02 JJ05